

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-094159

(43)Date of publication of application : 16.04.1993

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/133

(21)Application number : 04-040913

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.02.1992

(72)Inventor : DATE YOSHITO
TAKESHITA SHOICHI
OMORI TETSUO
NAKATSUKA JUNJI
IMAMURA YOSHIO

(30)Priority

Priority number : 03 97063 Priority date : 26.04.1991 Priority country : JP

03156821 27.06.1991

03180828 22.07.1991

03189913 30.07.1991

03195191 05.08.1991

JP

JP

JP

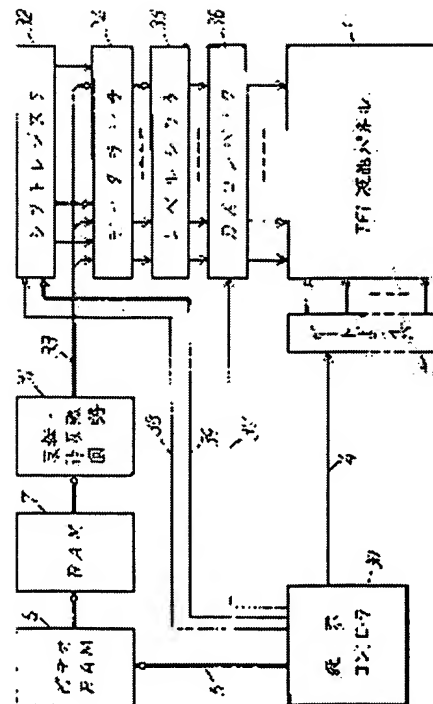
JP

(54) LIQUID CRYSTAL DRIVING DEVICE

(57)Abstract:

PURPOSE: To provide a liquid crystal driving device which obtains high image quality and reduces an adjusting place.

CONSTITUTION: The liquid crystal display system of a computer is provided with an inversion and non-inversion circuit 31 which changes the polarity of digital gradation data as it is digital, a data latch 34 which holds the digital data whose polarity is inverted and a DA converter 36 which converts the output of the latch 34 to the level of an analog signal impressed on a TFT liquid crystal panel 1. By such constitution, the circuit constitution of a driving system is simplified. Besides, the deterioration of display quality occurring when high-speed data is passed through an analog amplifier or the like and the adjusting place of a gain bias or the like can be reduced.



LEGAL STATUS

[Date of request for examination]	12.05.1995
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2743683
[Date of registration]	06.02.1998
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平5-94159

(43) 公開日 平成5年(1993)4月16日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 5 0	7820-2K		
	5 7 5	7820-2K		

審査請求 未請求 請求項の数11(全 27 頁)

(21) 出願番号 特願平4-40913

(22) 出願日 平成4年(1992)2月27日

(31) 優先権主張番号 特願平3-97063

(32) 優先日 平3(1991)4月26日

(33) 優先権主張国 日本(J P)

(31) 優先権主張番号 特願平3-156821

(32) 優先日 平3(1991)6月27日

(33) 優先権主張国 日本(J P)

(31) 優先権主張番号 特願平3-180828

(32) 優先日 平3(1991)7月22日

(33) 優先権主張国 日本(J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 伊達 義人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 竹下 昭一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 大森 哲郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外2名)

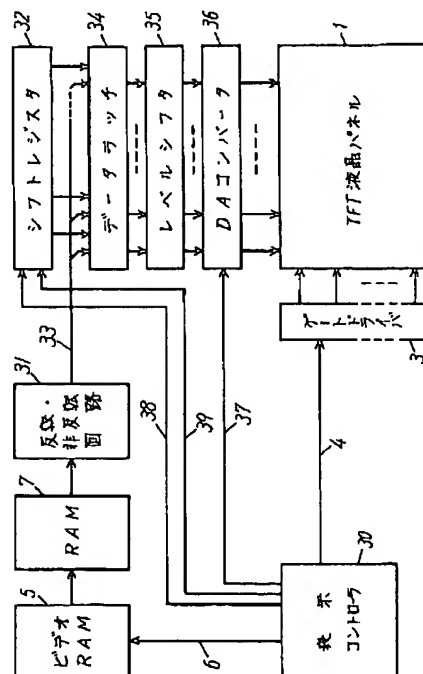
最終頁に続く

(54) 【発明の名称】 液晶駆動装置

(57) 【要約】

【目的】 高画質で、調整箇所を削減する液晶駆動装置を提供する。

【構成】 コンピュータの液晶表示システムにおいて、デジタルの階調データをデジタルのまま極性を変える反転・非反転回路31と、極性反転後のデジタルデータを保持するデータラッチ34と、データラッチ34の出力をTFT液晶パネル1に印加するアナログ信号レベルに変換するDAコンバータ36を備えている。この構成により、駆動システムの回路構成を簡易にし、アナログアンプ等を高速の表示データが通過することによる表示品質の劣化、ゲイン・バイアス等の調整箇所を削減することができる。



1

【特許請求の範囲】

【請求項1】 液晶パネルと、デジタル階調データを記憶する複数のデータラッチ手段と、前記データラッチ手段の出力を前記液晶パネルに印加するアナログ信号に変換する複数のDAコンバータを備えた液晶駆動装置。

【請求項2】 液晶パネルと、デジタル階調データを一定周期で極性反転する反転制御手段と、前記反転制御手段のデジタル出力を記憶する複数のデータラッチ手段と、前記データラッチ手段の出力を前記液晶パネルに印加するアナログ信号に変換する複数のDAコンバータ

を備えた液晶駆動装置。

【請求項3】 デジタル信号を入力する入力手段と、同一の容量値を有する複数の容量よりなる容量群と、前記容量群の前記各容量に接続され、電荷の充電及び放電をオン・オフ制御するスイッチ群と、前記スイッチ群の所定のスイッチがオン状態にされることにより所定数の容量に充電される電荷を前記容量群のすべての容量により平均化して得られる電圧に比例する出力電圧を発生する増幅器とを有する出力回路を備えた液晶駆動装置。

【請求項4】 n ビットのデジタル信号を入力する入力手段と、 n 個の並列接続された容量群と、前記容量群の各容量に接続され、前記デジタル信号の各ビット情報に基づいて、オン・オフ状態となり、前記各容量の充電及び放電を制御するスイッチ群と、前記容量群の容量のうち、前記デジタル信号の各ビット情報に基づいて充電される容量の電荷により発生する電圧に比例する出力電圧を発生する増幅器とを有する出力回路を備えた液晶駆動装置。

【請求項5】 $n \times m$ ビットのデジタル信号を入力する入力手段と、並列接続された n 個の容量からなる m 個の組によって構成される容量群と、前記容量群の各容量に接続され、前記デジタル信号の各ビット情報に基づいて、オン・オフ状態となり、前記各容量の充電及び放電を制御するスイッチ群と、前記容量群を構成する各組毎に設けられ、前記各組を構成する各容量に所定の基準電圧に対して2の $(-n) \times 0$ 乗倍から2の $(-n) \times (m-1)$ 乗倍の電圧を供給する電源群と、前記容量群の容量のうち前記デジタル信号の各ビット情報に基づいて前記電源群の各電源により充電される容量の電荷により発生する電圧に比例する出力電圧を発生する増幅器とを有する出力回路を備えた液晶駆動装置。

【請求項6】 $n \times m$ ビットのデジタル信号を入力する入力手段と、並列接続された n 個の容量からなる m 個の組によって構成される容量群と、前記容量群の各容量に接続され、前記デジタル信号の各ビット情報に基づいて、オン・オフ状態となり、前記各容量の充電及び放電を制御するスイッチ群と、前記デジタル信号の最上位 n ビットに対応する組を除く $(m-1)$ 個の組の容量のそれぞれに直列に接続され、次の上位 n ビットに対応する組の各容量に対して並列に接続された $(m-1)$ 個

2

の分圧用容量と、前記容量群の容量のうち前記デジタル信号の各ビット情報に基づいて所定の容量を充電することにより、前記デジタル信号の最上位 n ビットに対応する組の各容量と、前記分圧用容量とに充電される電荷により発生する電圧に比例する出力電圧を発生する増幅器とを有する出力回路を備えた液晶駆動装置。

【請求項7】 $n \times m$ ビットのデジタル信号を入力する入力手段と、並列接続された n 個の容量からなる m 個の組によって構成される容量群と、前記容量群の各容量に接続され、前記デジタル信号の各ビット情報に基づいて、オン・オフ状態となり、前記各容量の充電及び放電を制御するスイッチ群と、前記デジタル信号の最上位 n ビットに対応する組を除く $(m-1)$ 個の組の容量のそれぞれに直列に接続され、次の上位 n ビットに対応する組の各容量に対して並列に接続された $(m-1)$ 個の分圧用容量と、前記容量群の容量のうち前記デジタル信号の各ビット情報に基づいて所定の容量を充電することにより、前記デジタル信号の最上位 n ビットに対応する組の各容量と、前記分圧用容量とに充電される電荷により発生する電圧に比例する出力電圧を発生する増幅器と、前記分圧用容量に並列に接続されたスイッチを有する出力回路を備えた液晶駆動装置。

【請求項8】 結合容量と、互いに異なる第1、第2の電位をデジタル信号に基づいて前記結合容量の一端に選択的に印加する第1、第2のスイッチと、負入力端子が前記結合容量の他端に接続され、正入力端子に前記第1、第2の電位の中心付近の電位が印加される増幅器と、前記増幅器の負入力端子と出力端子の間に接続され、前記第1のスイッチに同期してオン、オフ状態となる第3のスイッチと、一端が前記増幅器の負入力端子に接続された帰還用容量と、前記帰還用容量の他端と前記増幅器の出力端子との間に接続され、前記第2のスイッチに同期してオン、オフ状態となる第4のスイッチと、前記帰還用容量の他端と前記第1または第2の電位と同じ電位をもつ電位点との間に接続され、前記第1、第3のスイッチに同期してオン、オフ状態となる第5のスイッチとを有する出力回路を備えた液晶駆動装置。

【請求項9】 結合容量と、互いに異なる第1、第2の電位および前記第1、第2の電位の中心付近の電位をもつ第3の電位をデジタル信号に基づいて前記結合容量の一端に選択的に印加する第1、第2、第3のスイッチと、負入力端子が前記結合容量の他端に接続され、正入力端子に前記第3の電位と同じ電位が印加される増幅器と、前記増幅器の負入力端子と出力端子の間に接続され、前記第1のスイッチに同期してオン、オフ状態となる第3のスイッチと、前記増幅器の負入力端子と出力端子の間に接続された帰還用容量とを有する出力回路を備えた液晶駆動装置。

【請求項10】 増幅器と、前記増幅器の負帰還回路として機能する容量と、前記増幅器の入力端子に並列に接

3

統された複数の容量群と、前記容量群の各容量に接続され、液晶表示用のデジタル信号に基づいて、オン・オフ状態となり、前記各容量の充電及び放電を制御し、前記各容量の電荷量を可変する複数のスイッチ群と、前記増幅器の負荷と前記増幅器の出力端子の間に接続された負荷断続用のスイッチとを有する出力回路を備え、前記複数の容量群に対する充電動作とアナログ信号の出力動作とを一定周期で繰り返すように構成するとともに、充電動作時に前記負荷断続用のスイッチを開き、前記負荷を前記増幅器の出力端子から切り離すように構成した液晶駆動装置。

【請求項11】 増幅器と、前記増幅器の負帰還回路として機能する容量と、前記増幅器の一方の入力端子に並列に接続された複数の容量群と、前記容量群の各容量に接続され、液晶表示用のデジタル信号に基づいて、オン・オフ状態となり、前記各容量の充電及び放電を制御し、前記各容量の電荷量を可変する複数のスイッチ群と、前記増幅器の他方の入力端子に印加する基準電源と、前記増幅器の前記一方入力端子に前記基準電源と等しい電圧を印加するスイッチとを有する出力回路を備え、前記複数の容量群に対する充電動作とアナログ信号の出力動作とを一定周期で繰り返すように構成するとともに、充電動作時の一定期間に前記増幅器の基準電源用の前記スイッチを閉じ、出力動作時に開くように構成した液晶駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はテレビジョン受像機、パーソナルコンピュータ、ワークステーション等に用いる液晶駆動装置に関するものである。

【0002】

【従来の技術】近年、情報機器以外の通信機器やオーディオ、ビジュアル機器等においてもその信号処理形態はアナログ信号処理からデジタルデータ信号処理に変遷しつつある。さらにこれらの機器は小型軽量化及び低消費電力化の傾向にある。それらの機器に使用される表示器としては、従来の陰極線管（以下、CRTと記す）から薄型軽量の液晶パネルが使用されるようになってきている。例えば、パーソナルコンピュータ、ワークステーション、テレビジョン受像機、テレビジョン電話などは、デジタルでデータ信号処理がなされ、表示器として液晶パネルを用いて小型軽量の機器を実現している。ここで、液晶パネルに注目すると、液晶がCRTに代わって表示器としての位置を占めるには、画質の向上と高精細表示が達成されなければならない。画質では特に、多色表示が可能なが求められる。

【0003】例えば、R、G、B各4ビット（4096色）表示よりも自然色に近い、R、G、B各8ビット（1670万色）表示が可能になれば、現在のCRT表示のテレビ並の自然色に近い色調が得られ、液晶パネル

4

の用途は格段に広がる。また、高精細表示については、高品位テレビジョン（HDTV）方式並みのドット数の高精細液晶パネルが実現できれば、将来の画像映像分野に対して液晶パネルは大きな役割を果たす。

【0004】以上、述べた機器のデジタル化、小型軽量化、低消費電力化への対応及び液晶パネルの将来性を考慮した、多色化、高精細化に対応可能な新方式の液晶駆動装置が求められている。

【0005】従来、この種の薄膜トランジスタ（以下、TFTと記す）液晶パネルを駆動する液晶駆動装置には、表示データをアナログ信号に変換してから信号を転送し、そのアナログ信号を保持して出力するサンプルホールド回路が使用されていた。以下、従来の液晶駆動装置について図面を参照しながら説明する。

【0006】図21は従来の液晶駆動装置の構成図である。図21において、1はTFT液晶パネル、2は表示コントローラ、3はTFT液晶パネル1のゲート電極を制御するゲートドライバ、4はゲートドライバ3を制御するために、表示コントローラ2から発生するゲートドライバ制御信号、5はデジタルの表示データを保持するビデオRAMである。6は表示コントローラ2からビデオRAM5に対して発生する表示アドレス信号、7はビデオRAM5の保持された表示データを階調データ（カラー液晶パネルの場合はカラーの階調データ）に変換するRAM、8はRAM7からの階調データをアナログ信号に変換するDAコンバータ、9はDAコンバータ8の出力である階調データのアナログ信号を反転・非反転するボルテージホロア等のアナログ回路で構成される信号の反転・非反転回路である。10は反転・非反転回路9の出力信号をTFT液晶パネル1に印加するために必要な電圧に昇圧するアンプ、11はアンプ10の利得やバイアス電圧を調整するためのゲイン・バイアス調整回路、12はアンプ10から出力される液晶表示信号である。13は低圧（約5V）で動作するシフトレジスタ、14はシフトレジスタ13の出力電圧レベル（約5V）を昇圧（約10V）するレベルシフタ、15は液晶表示信号12をサンプリングするTFT液晶パネル1の水平画素数と同数のサンプルホールド回路である。16はサンプルホールド回路15からサンプリングされた液晶表示信号12をTFT液晶パネル1に出力させるために、表示コントローラ2から発生する出力タイミング信号、17は表示コントローラ2から発生し、シフトレジスタ13を動作させる転送クロック、18は表示コントローラ2から発生し、シフトレジスタ13が転送クロック17によって転送する転送パルスである。

【0007】以上のような構成を持つ従来の液晶駆動装置について、以下、その動作を説明する。表示コントローラ2は、ゲートドライバ3に対し、ゲートドライバ制御信号4を出力し、制御されたゲートドライバ3は、TFT液晶パネル1の任意のラインの中の1ラインを有効

にする。また、表示コントローラ2は、表示アドレス信号6によってビデオRAM5から表示データを読みだしている。

【0008】ビデオRAM5に記憶されている表示データは、RAM7のアドレスデータであり、TFT液晶パネル1に印加する階調データ（またはカラーの階調データ）にRAM7で変換される。これはデータ量の多い階調データをルックアップテーブルとして機能するRAM7に記憶させ、ビデオRAM5のメモリ量を削減するためである。また、表示階調レベル（または表示色）を変更する際は、RAM7の階調データのみを変更すればよく、迅速に変更することができる利点もある。

【0009】変換された階調データは、DAコンバータ8によってアナログ信号に変換される。アナログ信号に変換するのは、TFT液晶パネル1の各画素に付随する液晶容量へ表示信号を充放電するのをアナログ信号で行うためである。アナログ信号に変換された表示信号は、ボルテージホロア等で構成される反転・非反転回路9を経由してアンプ10に入力される。反転・非反転回路9は液晶に印加する電圧の極性を周期的（一般的にはフレーム単位）に反転させるもので、液晶を駆動する際に必須の機能である。アンプ10は、DAコンバータ8から出力されたアナログ信号を、TFT液晶パネル1に印加する電圧レベルまで昇圧（約10V）するものである。ゲイン・バイアス調整回路11は、アンプ10のゲインおよびバイアスの調整を行い、液晶表示に最適な表示品質を得るための回路である。

【0010】TFT液晶パネル1はCRTと異なり、TFTの応答速度が遅いため水平周期単位で駆動する必要がある。そのために、1ライン分の表示信号を保持して同時に出力する線順次駆動を行う。

【0011】アンプ10から出力された液晶表示信号12は、サンプルホールド回路15に入力され、サンプリングされて保持される。サンプルホールド回路15はTFT液晶パネル1の水平画素数と同数あるため、アンプ10からの液晶表示信号12は、シフトレジスタ13で指定されるサンプルホールド回路15によって順次サンプリングされる。

【0012】シフトレジスタ13はTFT液晶パネル1の水平画素数と同数のビットがあり、表示コントローラ2から発生する転送パルス18を、転送クロック17によって水平方向に順次転送する。シフトレジスタ13からの出力転送パルスはレベルシフタ14によって昇圧（約10V）され、サンプルホールド回路15の1つを指定し、液晶表示信号12をサンプリングする。1ライン分の表示信号がすべてサンプリングされると、表示コントローラ2は出力タイミング信号16をサンプルホールド回路15に出力し、サンプルホールド回路15はTFT液晶パネル1に印加するアナログ信号を出力する。TFT液晶パネル1に信号が印加されると、ゲートドラ

イバ3で指定された任意のラインの中の1ラインが表示される。

【0013】

【発明が解決しようとする課題】しかしながら、従来の液晶駆動装置の構成では、ゲイン・バイアス調整回路11を持つアンプ10を備えなければならず、適正な表示品質を得るためには、ゲイン・バイアス回路11に複数の調整箇所が必要である。そのため、調整作業に要する工程が量産化に対する妨げとなる。また、大画面表示を行う場合、データ転送速度が高速となり、アナログ回路であるDAコンバータ8、反転・非反転回路9、アンプ10を高速の表示信号が通過する。このため、表示信号が歪んで、表示品質を劣化させ、多色化に必要な高分解能が得られない。従って、たとえDAコンバータ8が8ビットの分解能を持っていても、アナログ回路を通過した後の分解能が4ビット～6ビット程度に低下することがある。

【0014】さらに、高速・大振幅のアナログ回路は信号のレベルに係わらず、内部回路に消費電流の大きなバイアス電源や基準電流源を持つため、常時大電流が流れている。また、アナログ回路の電源電圧は、オペアンプの動作領域（ダイナミックレンジ）を充分得るために、処理するアナログ信号の信号レベルに対して充分大きな電圧を供給しなければならない。そのために、アナログ回路は消費電力が大きくなり、液晶表示機器が小型軽量であるにも係わらず、電源が大きくなるため携帯性が損なわれ、かつバッテリーによる運用を行った場合、運用時間も短くなってしまふ。小型軽量化に関しては、高集積化が進むデジタル回路に比較して、アナログ回路は構成する部品が抵抗器、容量、可変抵抗器など多数存在し、実装するために必要な面積が大きくなってしまふ。従来の液晶駆動装置では、以上のようにいくつもの課題があった。

【0015】本発明は上記従来の課題を解決するもので、調整箇所を減らして量産性を改善し、高い表示品質が得られ、消費電力が小さく、実装面積の小さい液晶駆動装置を提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するために、本発明の液晶駆動装置は、液晶パネルと、デジタル階調データを記憶する複数のデータラッチ手段と、前記データラッチ手段の出力を前記液晶パネルに印加するアナログ信号に変換する複数のDAコンバータを備えている。

【0017】

【作用】上記の構成によって、本発明の液晶駆動装置は、表示データをデジタル信号でデータラッチし、液晶パネルの直前のDAコンバータまでデジタル信号で処理する。その後、比較的動作速度の遅い水平表示周期でDA変換するため、調整箇所の多いアナログ回路を削

7

除することができる。そのために、調整箇所が削減されて量産時の調整工程が簡略化される。また、特に大画面表示の場合、データ転送速度が高速であるにもかかわらず、表示データがデジタル信号であるため、表示データを劣化させずに信号転送することで高い表示品質が得られる。さらに、液晶パネルの直前のDAコンバータまでデジタル回路で構成されるために、消費電力が小さく経済性及び携帯性に優れ、かつ実装面積も小さくすることもでき、小型軽量の液晶駆動装置が実現できるものである。

【0018】

【実施例】以下、本発明の実施例について図面を参照しながら説明する。

【0019】図1は、本発明の一実施例における液晶表示装置である。図1において、1はTFT液晶パネル、3はゲートドライバ、4はゲートドライバ制御信号、5はビデオRAM、6は表示アドレス信号、7はRAMである。ここまでは従来の液晶表示装置と同じ構成であり、詳細な説明は省略する。30は表示コントローラ、31はRAM7から出力されたデジタル階調データの極性を、一定周期で反転する反転・非反転回路、32はTFT液晶パネル1の水平表示画素数と同数のビットを持つシフトレジスタ、33は反転・非反転回路31から出力されるデジタル液晶表示データ、34はデジタル液晶表示データ33を保持するデータラッチである。35はデータラッチ34の出力電圧レベル(約5V)を昇圧(約10V)するレベルシフタ、36はレベルシフタ35の出力データをTFT液晶パネル1に印加するアナログ信号レベルに変換する調整不要のDAコンバータ、37はDAコンバータ36からTFT液晶パネル1にアナログ信号を出力させるタイミングを決めるために、表示コントローラ30から発生する出力タイミング信号、38は表示コントローラ2から発生し、シフトレジスタ32を動作させる転送クロック、39は表示コントローラ2から発生し、シフトレジスタ32が転送クロック38によって転送する転送パルスである。

【0020】以上のような構成を持つ本発明の一実施例の液晶駆動装置について、以下、その動作を説明する。表示コントローラ30はゲートドライバ3に対し、ゲートドライバ制御信号4を出力しており、ゲートドライバ3はTFT液晶パネル1の任意のラインを有効にしている。表示コントローラ30は、表示アドレス信号6によってビデオRAM5から表示データを読みだしている。ビデオRAM5に記憶されている表示データは、RAM7のアドレスデータであり、RAM7で階調データに変換される。階調データは反転・非反転回路31を経由し、デジタル液晶表示データ33に変換される。

【0021】TFT液晶パネル1は、1ライン分の表示データを保持して同時に出力する線順次駆動を行う。反転・非反転回路31から出力された液晶表示データ33

8

は、データラッチ34に入力され、ラッチされて保持される。データラッチ34はTFT液晶パネル1の水平画素数と同数あるため、反転・非反転回路31からの液晶表示データ33はシフトレジスタ32で指定されるデータラッチ34に順次ラッチされる。

【0022】シフトレジスタ32は水平画素数と同数のビットがあり、表示コントローラ30から発生する転送パルス39を、転送クロック38によって水平方向に順次転送する。シフトレジスタ32の出力である転送パルス39はデータラッチ34の1つを指定し、液晶表示データ33を順次ラッチしていく。ラッチされたデータはレベルシフタ35によって昇圧されてDAコンバータ36に入力される。1ライン分の表示データがすべてラッチされると、表示コントローラ30は出力タイミング信号37をDAコンバータ36に出力し、DAコンバータ36はTFT液晶パネル1に印加するアナログ信号を出力する。TFT液晶パネル1にデータが印加されると、ゲートドライバ3で指定された任意のラインの中の1ラインが表示される。

【0023】このように本発明の一実施例における液晶駆動装置によれば、DAコンバータ36をTFT液晶パネル1の直前に配置して、RAM7で変換された階調データはアナログ処理をすることなくデジタルのまま処理するようにしてあるから、高速アナログ回路および調整回路が省略でき、高品質の表示画質が得られる。

【0024】また、TFT液晶パネル1の水平画素数と同数のデータラッチ34と、データラッチ34の出力をTFT液晶パネル1に印加するアナログ信号に変換する水平画素数と同数の調整不要のDAコンバータ36を設けることで、アナログ回路を不要にし、アンプ等に必要な調整箇所を削減して量産性を向上させることができる。

【0025】また、TFT液晶パネル1の画素に信号を印加する直前で、デジタル表示データをDAコンバータ36によってアナログ信号に変換するため、特に大画面表示の場合、データ転送速度が高速であるにもかかわらず、データを劣化させることなく、高い表示品質で表示することができる。また、表示データを消費電力の大きなアナログ回路を用いずに転送することで低消費電力化が図れる。さらに、部品点数の多いアナログ回路に代わって、高集積化の図れるデジタル回路で表示データを転送することで、実装面積を小さくすることができ、小型軽量の優れた液晶駆動装置を実現できるものである。

【0026】次に、DAコンバータを含むいくつかの具体的な出力回路を備えた本発明の液晶駆動装置の実施例を図面に基いて説明する。

【0027】図2は本発明の液晶駆動装置を構成する第1の実施例における出力回路を示す構成図である。本実施例の出力回路は、同一の容量値Cを有するn個の容量

9

C_0, C_1, \dots, C_{n-1} よりなる容量群を有し、各容量 C_0, C_1, \dots, C_{n-1} の一方の電極は接地されている。各容量 C_0, C_1, \dots, C_{n-1} のもう一方の電極にはそれぞれスイッチ S_0, S_1, \dots, S_{n-1} の一方の端子が接続されている。各スイッチ S_0, S_1, \dots, S_{n-1} は、それぞれ選択信号 L_0, L_1, \dots, L_{n-1} によってオン・オフ制御され、他方の端子は共通接続されている。

【0028】また、この出力回路は3端子構成の演算増幅器41を有し、この演算増幅器41の正入力端子Bには、入力信号42が入力されている。共通接続されている各スイッチ S_0, S_1, \dots, S_{n-1} の端子は、演算増幅器41の正入力端子Bに接続され、入力信号42が入力されている。また、演算増幅器41の正入力端子Bは、充電用スイッチ43を介して電源 V_{DD} に接続されると共に、放電用スイッチ44を介して接地されている。充電用スイッチ43は充電用タイミング信号45によってオン・オフ制御され、放電用スイッチ44は放電用タイミング信号46によってオン・オフ制御される。演算増幅器41の出力Yは、接続信号47として、演算増幅器41の負入力端子Aへ帰還されている。この出力回路からの出力電圧は、出力端子 V_{out} から出力される。

【0029】以上のような構成を有する液晶駆動装置の出力回路の動作を説明する。まず、放電用タイミング信号46により放電用スイッチ44をオン状態に、充電用タイミング信号45により充電用スイッチ43をオフ状態に設定する。次に、選択信号 L_0, L_1, \dots, L_{n-1} によって、すべてのスイッチ S_0, S_1, \dots, S_{n-1} をオン状態に設定する。これにより、すべての容量 C_0, C_1, \dots, C_{n-1} の電荷が放電される。

【0030】次に、放電用タイミング信号46により放電用スイッチ44をオフ状態に設定し、選択信号 L_0, L_1, \dots, L_{n-1} によって、スイッチ S_0, S_1, \dots, S_{n-1} のうち、所定の数のスイッチをオン状態に設定する。次に、充電用タイミング信号45により、充電用スイッチ43をオン状態に設定すると、オン状態の所定のスイッチ S_0, S_1, \dots, S_{n-1} に従って、容量 C_0, C_1, \dots, C_{n-1} のうち所定数の容量の充電が行われる。

【0031】次に、充電用タイミング信号45により充電用スイッチ43をオフ状態に設定し、更に選択信号 L_0, L_1, \dots, L_{n-1} によって、すべてのスイッチ S_0, S_1, \dots, S_{n-1} をオン状態に設定する。これにより、所定数の容量に充電された電荷はすべての容量 C_0, C_1, \dots, C_{n-1} に等しく分配されて平均化され、この平均化された電荷による電圧が発生する。このように発生した電圧は、入力信号42として演算増幅器41の正入力端子Bに入力される。演算増幅器41の出力Yは接続信号45として負入力端子Aに入力されているため、演算増幅器41はゲイン0dBの増幅器になっており、正入力端子Bに入力された電圧はそのまま出力端子 V_{out} に出力される。

10

【0032】ここで、例えば、スイッチ S_0, S_1, \dots, S_{n-1} のうち所定のスイッチがオン状態に設定され、 n 個の容量 C_0, C_1, \dots, C_{n-1} のうち A 個の容量が充電されると、充電された電荷量 Q は式(1)で表される。

$$【0033】Q = A \times C \times V_{DD} \quad (1)$$

A 個の容量が充電された後、充電用スイッチ43をオフ状態に設定し、更にすべてのスイッチ S_0, S_1, \dots, S_{n-1} をオン状態に設定することにより、充電された電荷が平均化された後も電荷量 Q は一定であるから、得られる電圧を V_0 とすると、式(2)に示す関係が成り立つ。

$$【0034】Q = N \times C \times V_0 \quad (2)$$

従って、式(1)及び(2)から、
 $V_0 = (A/N) \times V_{DD} \quad (3)$
 となる。

【0035】以上のように本実施例によれば、電源 V_{DD} から所定数の容量に供給された電荷が、すべての容量 C_0, C_1, \dots, C_{n-1} に分配されて平均化されるので、充電される容量の数を適宜選択することにより、多くの基準電圧を設けることなく必要とする電圧を発生させることができる。従って、本実施例の液晶駆動装置によれば、配線数が大幅に削減される。

【0036】以上、説明したように、図2の実施例の出力回路を有する液晶駆動装置は、同一の容量値を有する複数の容量と、それらの容量のそれぞれに備えられたスイッチ群とを備えているので、このスイッチ群の所定のスイッチをオン状態にすることにより、所定数の容量に電荷が充電される。次に、各容量への電荷の供給を絶ち、この充電された電荷をすべての容量に分配して平均化すると、これらすべての容量によって平均化された電圧が得られる。この電圧を増幅器へ入力することにより、この平均化された電圧に比例した出力電圧が得られる。このように、本実施例の液晶駆動装置では、オン状態にするスイッチの数を変えることにより、必要な電圧を発生させることができ、従来のように多くの基準電圧を設ける必要がない。従って、本実施例によれば、液晶駆動装置における配線数、回路数等を低減することができる。

【0037】図3は本発明の液晶駆動装置を構成する第2の実施例における出力回路を示す構成図である。本実施例の出力回路は、8個の並列接続された容量 CP_0, CP_1, \dots, CP_7 からなる容量群を有し、容量 CP_0, CP_1, \dots, CP_7 の容量値は、それぞれ基準容量値 $C, 2C, \dots, 2^7C, \dots, 128C$ である。

【0038】各容量 CP_0, CP_1, \dots, CP_7 のマイナス側電極は、演算増幅器41の負入力端子Aに接続され、各容量 CP_0, CP_1, \dots, CP_7 のプラス側電極は、それぞれ放電用スイッチ $SWB_0, SWB_1, \dots, SWB_7$ を介して基準入力電圧を供給する電源 $-V_{ref}$ に接続されている。更に、各容量 CP_0, CP_1, \dots, CP_7 のプラス側

電極には、それぞれ充電用スイッチSWA₀、SWA₁、…SWA₇の一方の端子が接続される。これらの充電用スイッチSWA₀、SWA₁、…SWA₇は入力電圧をサンプリングする際にオン状態に設定される。

【0039】充電用スイッチSWA₀、SWA₁、…SWA₇の他方の端子には、それぞれデジタル入力スイッチSW₀、SW₁、…SW₇の一方の端子が接続されている。デジタル入力スイッチSW₀、SW₁、…SW₇は、この出力回路に入力されるデジタル信号の各ビットに対応しており、対応するビットが、“1”の場合にオン状態に設定され、“0”の場合にオフ状態に設定される。

【0040】更に、各デジタル入力スイッチSW₀、SW₁、…SW₇の他方の端子は基準入力電圧を供給する電源+V_{ref}に接続されている。

【0041】充電用スイッチSWA₀、SWA₁、…SWA₇、放電用スイッチSWB₀、SWB₁、…SWB₇、及びデジタル入力スイッチSW₀、SW₁、…SW₇によってスイッチ群が構成されている。

【0042】SWA₈は、演算増幅器41の入出力端子間に接続された充電用スイッチ、SWA₉は、演算増幅器41の入力電圧のサンプリング時にオン状態になる充電用スイッチで、負帰還用容量CP₈のプラス電極と基準入力電圧（電源）-V_{ref}との間に接続されている。SWB₈は、充電した電荷を放電する放電用スイッチで、負帰還用容量CP₈のプラス電極と出力V_{out}の間に接続されている。

$$Q_{0cc} = 2^n \times C \times V_{ref}$$

となる。

【0046】次に、8ビットのデジタル入力信号が、デジタル入力スイッチSW₀、SW₁、…SW₇に入力され、デジタル入力信号の各ビットに対応して各デジタル入力スイッチSW₀、SW₁、…SW₇がオン状態、またはオフ状態に設定される。デジタル入力信号の最上位ビット（MSB）は、デジタル入力スイッチSW₇に対応し、デジタル入力信号の最下位ビット（LSB）は、デジタル入力スイッチSW₀に対応し※

$$Q_{cca} = 2^n \times C \times ((+V_{ref}) - (-V_{ref}) + V_{out}) \quad [n=0 \sim 7]$$

となる。

【0048】また、充電用スイッチSWA₉がオンに設定されるため、容量CP₉には式(7)に示すようにオフセット電圧が印加される。

$$V_{crs} = V_{off} \quad (7)$$

従って、容量CP₉に蓄えられている電荷Q_{crs}は、式(8)に示すようになる。

$$Q_{crs} = 256 \times C \times V_{off} \quad (8)$$

次に、充電用スイッチSWA₀、SWA₁、…SWA₉の

*【0043】演算増幅器41の出力Yは充電用スイッチSWA₈を介して、演算増幅器41の負入力端子Aに帰還されると共に、放電用スイッチSWB₈及び負帰還用容量CP₈を介して、負入力端子Aに帰還されている。また、演算増幅器41の正入力端子Bは、基準入力電圧（電源）-V_{ref}に接続されると共に、充電用スイッチSWA₉及び負帰還用容量CP₉を介して、負入力端子Aに接続されている。負帰還用容量CP₉は基準容量値の2⁸×C（256C）の容量値を有している。この出力回路によって発生される出力電圧は出力端子V_{out}から出力される。

【0044】以上のような構成を有する液晶駆動装置の出力回路の動作を説明する。まず、放電用スイッチSWB₀、SWB₁、…SWB₈がオン状態に設定される。これにより、演算増幅器41の出力Yが、放電用スイッチSWB₈を介して、演算増幅器41の負入力端子Aに負帰還される。このような負帰還によって負入力端子Aと正入力端子Bとの間の電位差は、式(4)に示すオフセット電圧となる。

$$V_{off} = (\text{演算増幅器41の正入力端子Bの電位}) - (\text{演算増幅器41の負入力端子Aの電位})$$

(4)

また、各容量CP₀、CP₁、…CP₇の正負の電極間の電位差もオフセット電圧V_{off}に等しくなる。このとき、各容量CP₀、CP₁、…CP₇に充電されている電荷量Q_{0cc}は、

$$[n=0 \sim 7] \quad (5)$$

※ている。

【0047】次に、放電用スイッチSWB₀、SWB₁、…SWB₈のすべてをオフ状態に設定した後、充電用スイッチSWA₀、SWA₁、…SWA₉のすべてをオン状態に設定する。その時、デジタル入力スイッチSW₀、SW₁、…SW₇のうち、オン状態に設定されているスイッチに接続されている容量に充電される電荷Q_{cca}は

$$(6)$$

40 すべてをオフ状態に設定した後、放電用スイッチSWB₀、SWB₁、…SWB₈のすべてをオン状態に設定する。その時、演算増幅器41の出力Yが放電用スイッチSWB₈を通して負入力Aに負帰還されているため、負入力端子Aと正入力端子Bとの間の電位差は、再びオフセット電圧V_{off}に等しくなる。

【0051】また、容量CP₀、CP₁、…CP₇の正負の電極間の電位差もオフセット電圧V_{off}に等しくなる。この時、容量CP₀、CP₁、…CP₇のマイナス電極から移動した電荷は容量CP₉のマイナス電極に集まる。容量CP₉のマイナス電極に移動した電荷量ΔQ_{crs}

13

は、デジタル入力信号の各ビット情報”0”又は”

$$\Delta Q_{crs} = (1 \times \text{bit}0 + 2 \times \text{bit}1 + 4 \times \text{bit}2 + 8 \times \text{bit}3 + 16 \times \text{bit}4 + 32 \times \text{bit}5 + 64 \times \text{bit}6 + 128 \times \text{bit}7) \times C \times ((+V_{ref}) - (-V_{ref})) \quad (9)$$

となる。

【0052】例えば、2進数で”10110010”のデジタル入力信号が入力された場合、bit0、bit2、bit3及びbit6は”0”（オフ状態）、bit1、bit4、bit5及びbit7*

は”1”（オン状態）となり、このときの容量CP₈のマイナス電極に移動した電荷量ΔQ_{crs}は、式（10）により求めることができる。

$$\begin{aligned} \Delta Q_{crs} &= (2 + 16 + 32 + 128) \times C \times ((+V_{ref}) - (-V_{ref})) \\ &= 178 \times C \times ((+V_{ref}) - (-V_{ref})) \quad (10) \end{aligned}$$

このとき、この移動した電荷と極性が反対で、同量の電荷が容量CP₈のプラス電極に集まる。容量CP₈のマイナス電極の電位は演算増幅器41の負入力端子Aと同電位であり、式（4）から、

$$(\text{容量}CP_8\text{のマイナス電極の電位}) = (-V_{ref}) - V_{off} \quad (11)$$

となる。これにより、この出力回路の出力V_{out}は容量CP₀、CP₁、…CP₇による電荷の移動がなかった場合☆

$$V_{out} = (-V_{ref}) - V_{off} + V_{off} = (-V_{ref}) \quad (12)$$

となり、式（9）に示す電荷の移動があった場合には、

$$\begin{aligned} V_{out} &= (1/256) \times (1 \times \text{bit}0 + 2 \times \text{bit}1 + 4 \times \text{bit}2 + 8 \times \text{bit}3 + 16 \times \text{bit}4 + 32 \times \text{bit}5 + 64 \times \text{bit}6 + 128 \times \text{bit}7) \times ((+V_{ref}) - (-V_{ref})) + (-V_{ref}) \quad (13) \end{aligned}$$

となる。

【0054】上述の例に示した2進数のデジタル信号☆20

$$V_{out} = (178/256) \times ((+V_{ref}) - (-V_{ref})) + (-V_{ref}) \quad (14)$$

となる。

【0055】以上のように、本実施例の液晶駆動装置は、8ビットのデジタル信号の各ビットに対応し、それぞれ2⁰～2⁷倍の容量値を有する容量CP₀、CP₁、…CP₇よりなる容量群と、入力されるデジタル信号の各ビット情報に基づいて、それらの容量群への充電をオン・オフ制御するスイッチ群とを設けたので、入力されるデジタル信号の表す数値に対応した電荷が容量群に充電され、この充電された電荷によって生じる電圧を増幅器に入力して必要とする出力電圧が得られる。つまり、多くの基準電圧を設けることなく必要とする電圧を発生させることができる。従って、本実施例の液晶駆動装置によれば、配線数が大幅に削減される。

【0056】以上、説明したように、図3の実施例の出力回路を有する液晶駆動装置は、基準容量値の2の0乗倍から2の(n-1)乗倍の異なる容量値を有するn個の並列接続された容量からなる容量群とを備え、各容量には電荷の充電及び放電をオン・オフ制御するn個のスイッチとを備えているので、デジタル信号の各ビット情報に基づいてn個の各スイッチをオン・オフ制御することにより、デジタル入力信号に対応した電荷が容量群に充電される。この充電された電荷によって生じる電圧を増幅器に入力すれば、デジタル入力信号に対応した出力電圧が得られる。このように、本実施例の液晶駆動装置では、従来のように多くの基準電圧を設けることなく、必要な電圧を発生させることができる。従って、液晶駆動装置における配線数、回路数等を低減することができる。

14

【0057】図4は、本発明の液晶駆動装置を構成する第3の実施例における出力回路を示す構成図である。本実施例の出力回路は、電源+V_{ref16}と電源+V_{ref}から2つのプラスの基準入力電圧が供給され、電源-V_{ref}と電源+V_{ref16}との間の電位差は、電源-V_{ref}と電源+V_{ref}との間の電位差の1/6分である。また、本実施例の出力回路は8個の並列接続された容量CP₀、CP₁、…CP₇からなる容量群と、負帰還用容量CP₈とを有している。容量CP₀、CP₁、…CP₇からなる容量群は、容量CP₀～CP₃の4個の容量からなる組と、容量CP₄～CP₇の4個の容量からなる組からなる。容量CP₀およびCP₄の容量値は、基準容量値C、容量CP₁およびCP₅の容量値は2C、容量CP₂およびCP₆の容量値は4C、容量CP₃およびCP₇の容量値は8C、負帰還用容量CP₈の容量値は、1/6Cである。また、本実施例では、各容量CP₀～CP₃のプラス側電極は、それぞれ充電用スイッチSWA₀～SWA₃およびデジタル入力スイッチSW₀～SW₃を介して基準入力電圧（電源）+V_{ref16}に接続され、各容量CP₄～CP₇のプラス側電極は、それぞれ充電用スイッチSWA₄～SWA₇およびデジタル入力スイッチSW₄～SW₇を介して、基準入力電圧（電源）+V_{ref}に接続されている。その他の部分の構成は、図3に示した第2の実施例である出力回路と同様であり、対応する部分には同じ番号が附されている。

【0058】以上のような構成を有する液晶駆動装置の出力回路の動作を説明する。まず、放電用スイッチSWB₀、SWB₁、…SWB₈がオン状態に設定される。こ

15

れにより、演算増幅器41の出力Yが、放電用スイッチSW₈を介して演算増幅器41の負入力A端子に負帰還される。このような負帰還によって、負入力端子Aと正入力端子Bとの間の電位差は、式(15)に示すオフセット電圧となる。

【0059】

$V_{off} = (\text{演算増幅器41の正入力端子Bの電位}) - *$

$$Q_{0cs} = 2^n \times C \times V_{off} \quad [n=0 \sim 3]$$

$$Q_{0cs} = 2^{n-4} \times C \times V_{off} \quad [m=4 \sim 7] \quad (16)$$

となる。

【0060】次に、8ビットのデジタル入力信号が、デジタル入力スイッチSW₀、SW₁、…SW₇に入力され、デジタル信号の各ビットに対応して各デジタル入力スイッチSW₀、SW₁、…SW₇が、オン状態またはオフ状態に設定される。デジタル入力信号の最上位ビット(MSB)はデジタル入力スイッチSW₇に対応し、デジタル入力信号の最下位ビット(LSB)※

$$Q_{ccs} = 2^n \times C \times ((+V_{ref}) - (-V_{ref})) / 16 + V_{off} \quad [n=0 \sim 3]$$

$$Q_{ccs} = 2^{n-4} \times C \times ((+V_{ref}) - (-V_{ref}) + V_{off}) \quad [n=4 \sim 7] \quad (17)$$

となる。また、充電用スイッチSWA₉がオン状態に設定されるため、容量CP₈には、式(18)に示すように、オフセット電圧が印加される。

【0062】

$$V_{cfs} = V_{off} \quad (18)$$

従って、容量CP₈に蓄えられている電荷Q_{cfs}は式(19)に示すようになる。

【0063】

$$Q_{cfs} = 16 \times C \times V_{off} \quad (19)$$

次に、充電用スイッチSWA₀、SWA₁、…SWA₉のすべてをオフ状態に設定した後、放電用スイッチSWB☆

$$\begin{aligned} \Delta Q_{cfs} &= (1/16) \times (1 \cdot \text{bit}0 + 2 \cdot \text{bit}1 + 4 \cdot \text{bit}2 + 8 \cdot \text{bit}3) \times C \times ((+V_{ref}) - (-V_{ref})) + (1 \cdot \text{bit}4 + 2 \cdot \text{bit}5 + 4 \cdot \text{bit}6 + 8 \cdot \text{bit}7) \times C \times ((+V_{ref}) - (-V_{ref})) \\ &= ((1 \cdot \text{bit}0 + 2 \cdot \text{bit}1 + 4 \cdot \text{bit}2 + 8 \cdot \text{bit}3) / 16 + (1 \cdot \text{bit}4 + 2 \cdot \text{bit}5 + 4 \cdot \text{bit}6 + 8 \cdot \text{bit}7)) \times C \times ((+V_{ref}) - (-V_{ref})) \end{aligned} \quad (20)$$

となる。

【0064】例えば、2進数で、“10110010”のデジタル入力信号が入力された場合、bit0、bit2、bit3およびbit6は“0”（オフ状態）、bit1、bit4、bit5および☆

$$\begin{aligned} \Delta Q_{cfs} &= (2/16 + 1 + 2 + 8) \times C \times ((+V_{ref}) - (-V_{ref})) \\ &= (178/16) \times C \times ((+V_{ref}) - (-V_{ref})) \end{aligned} \quad (21)$$

このとき、この移動した電荷と同量の極性が反対の電荷が容量CP₈のプラス電極に集まる。容量CP₈のマイナ

$$(\text{容量CP}_8\text{のマイナス電極の電位}) = (-V_{ref}) - V_{off} \quad (22)$$

となる。これにより、この出力回路の出力V_{out}は、容量CP₀、CP₁、…CP₇による電荷の移動がなかった

$$V_{out} = (-V_{ref}) - V_{off} + V_{off} = (-V_{ref}) \quad (23)$$

16

* (演算増幅器41の負入力端子Aの電位)

(15)

また、各容量CP₀、CP₁、…CP₇の正負の電極間の電位差もオフセット電圧V_{off}に等しくなる。このとき、各容量CP₀、CP₁、…CP₇に充電されている電荷量Q_{0cs}は、

10※はデジタル入力スイッチSW₀に対応している。

【0061】次に、放電用スイッチSWB₀、SWB₁、…SWB₈のすべてをオフ状態に設定した後、充電用スイッチSWA₀、SWA₁、…SWA₉のすべてをオン状態に設定する。その時、デジタル入力スイッチSW₀、SW₁、…SW₇のうちオン状態に設定されているスイッチに接続されている容量に充電される電荷Q_{ccs}は

☆₀、SWB₁、…SWB₈のすべてをオン状態に設定する。その時、演算増幅器41の出力Yが、放電用スイッチSWB₈を通して負入力端子Aに負帰還されているため、負入力端子Aと正入力端子Bとの間の電位差は、再びオフセット電圧V_{off}に等しくなる。また、容量CP₀、CP₁、…CP₇の正負の電極間の電位差もオフセット電圧V_{off}に等しくなる。この時、容量CP₀、CP₁、…CP₇のマイナス電極から移動した電荷は容量CP₈のマイナス電極に集まる。容量CP₈のマイナス電極に移動した電荷量ΔQ_{cfs}は、デジタル入力信号の各ビット情報“0”または“1”の数値をbitnで表すと、

☆bit7は“1”（オン状態）となり、このときの容量CP₈のマイナス電極に移動した電荷量ΔQ_{cfs}は、式(21)により求めることができる。

【0065】

◇電極の電位は、演算増幅器41の負入力端子Aと同電位であり、式(15)から、

場合には、式(18)および式(22)から、

となり、式(20)に示す電荷の移動があった場合には、

$$V_{out} = (1/16) \times (1 \cdot \text{bit}0 + 2 \cdot \text{bit}1 + 4 \cdot \text{bit}2 + 8 \cdot \text{bit}3 + 1 \cdot \text{bit}4 + 2 \cdot \text{bit}5 + 4 \cdot \text{bit}6 + 8 \cdot \text{bit}7) \times ((+V_{ref}) - (-V_{ref})) + (-V_{ref}) \quad (24)$$

となる。上述の例に示した2進数のデジタル信号"10110 010"が入力された場合、

$$V_{out} = (178/256) \times ((+V_{ref}) - (-V_{ref})) + (-V_{ref}) \quad (25)$$

となる。

【0066】以上のように本実施例によれば、4個の容量からなり、各容量が所定の基準容量値の 2^0 倍から 2^3 倍の異なる容量値を有する2個の組からなる容量群を設け、2個の各組には、基準電圧 $+V_{ref}$ の 2^0 倍から 2^{-4} 倍($1/16$)の電圧が供給されているので、8ビットのデジタル信号の各ビット情報に対応して各容量 CP_0 、 CP_1 、 \dots 、 CP_7 に設けられた8個の各スイッチをオン・オフ制御することにより、入力されるデジタル信号の表す数値に対応した電荷が容量群に充電される。この充電された電荷によって生じる電圧を演算増幅器41に入力することにより、入力デジタル信号に対応した出力電圧が得られる。また、本実施例の構成により、出力回路を構成する容量の合計の容量値を第2の実施例における出力回路のそれより約 $1/11$ に低減することができる。

【0067】以上、説明したように、図4の実施例の出力回路を有する液晶駆動装置は、 n 個の容量からなり各容量が所定の基準容量値の 2^0 乗倍から 2^0 の $(n-1)$ 乗倍の異なる容量値を有する m 個の組からなる容量群と、 m 個の組に所定の基準電圧の 2^0 の $(-n) \times 0$ 乗倍から 2^0 の $(-n) \times (m-1)$ 乗倍の電圧をそれぞれ供給する電源群とを備えているので、デジタル信号の各ビット情報に基づいて、各容量に設けられた $n \times m$ 個の各スイッチをオン・オフ制御することにより、デジタル入力信号に対応した電荷が容量群に充電される。この充電された電荷によって生じる電圧を増幅器に入力することにより、従来のように多くの基準電圧を設けることなく、デジタル入力信号に対応した出力電圧が得られる。従って、本実施例によれば、液晶駆動装置における配線数、回路数等を低減することができる。

【0068】図5は、本発明の液晶駆動装置を構成する第4の実施例における出力回路を示す構成図である。本実施例の出力回路は、8個の並列接続された容量 CP_0 、 CP_1 、 \dots 、 CP_7 からなる容量群と、負帰還用容量 CP_8 と、分圧用容量 CP_9 とを有している。容量 CP_0 、 CP_1 、 \dots 、 CP_7 からなる容量群は、容量 $CP_0 \sim CP_3$ の4個の容量からなる組と、容量 $CP_4 \sim CP_7$ の4個の容量からなる組で構成される。

【0069】これらの容量 CP_0 、 CP_1 、 \dots 、 CP_7 が、8ビットのデジタル信号の各ビットにそれぞれ対応しており、図5の実施例では、容量 $CP_0 \sim CP_3$ が下位4ビットに相当し、容量 $CP_4 \sim CP_7$ が上位4ビットに相

当する。

【0070】分圧用容量 CP_9 は、一方の組の各容量 $CP_0 \sim CP_3$ に対して直列に接続され、下位4ビットに相当する容量 $CP_0 \sim CP_3$ とによって電圧を分圧し、もう一方の組の各容量 $CP_4 \sim CP_7$ に対しては並列に接続されている。

【0071】容量 CP_0 及び CP_4 の容量値は基準容量値 C 、容量 CP_1 及び CP_5 の容量値は $2C$ 、容量 CP_2 及び CP_6 の容量値は $4C$ 、容量 CP_3 及び CP_7 の容量値は $8C$ 、演算増幅器41の負帰還用容量 CP_8 の容量値は $16C$ 、分圧用容量 CP_9 の容量値は基準容量値 C である。

【0072】下位4ビットに相当する容量 $CP_0 \sim CP_3$ のマイナス側電極は、分圧用容量 CP_9 のプラス電極に接続され、分圧用容量 CP_9 と上位4ビットに相当する容量 $CP_4 \sim CP_7$ とのマイナス側電極は、演算増幅器41の負入力端子Aに接続されている。

【0073】各容量 CP_0 、 CP_1 、 \dots 、 CP_7 のプラス側電極は、それぞれデジタル信号の各ビットデータに応じてオン・オフ制御される放電用スイッチ SWB_0 、 SWB_1 、 \dots 、 SWB_7 を介して基準入力電圧を供給する電源 $-V_{ref}$ に接続され、また、それぞれ同じくデジタル信号の各ビットデータに応じてオン・オフ制御される充電用スイッチ SWA_0 、 SWA_1 、 \dots 、 SWA_7 を介して基準入力電圧を供給する電源 $+V_{ref}$ に接続されている。

【0074】容量 CP_0 、 CP_1 、 \dots 、 CP_7 と、充電用スイッチ SWA_0 、 SWA_1 、 \dots 、 SWA_7 および放電用スイッチ SWB_0 、 SWB_1 、 \dots 、 SWB_7 とでサンプリング回路が構成されており、演算増幅器41と負帰還用容量 CP_8 とで容量型アンプが構成されている。

【0075】これらの充電用スイッチ SWA_0 、 SWA_1 、 \dots 、 SWA_7 は入力電圧をサンプリングする際にオン状態に設定される。充電用スイッチ SWA_0 、 SWA_1 、 \dots 、 SWA_7 と放電用スイッチ SWB_0 、 SWB_1 、 \dots 、 SWB_7 とによって、スイッチ群が構成されている。

【0076】上記以外の構成は、図4に示した第3の実施例である出力回路と同様であり、対応する部分には同じ番号が附されている。また、説明を簡略化するため、図5に示すように、容量 $CP_0 \sim CP_3$ のマイナス側電極における電位を V_1 、分圧用容量 CP_9 と容量 $CP_4 \sim CP_7$ とのマイナス側電極における電位を V_2 とする。

【0077】以上の構成を有する液晶駆動装置の出力回路の動作について説明する。演算増幅器41は、負およ

び正入力端子A, Bが常に同電位になるように働くため、定常状態では負および正入力端子A, Bは、基準入力電圧 $-V_{ref}$ になっている。従って、上位4ビットに相当する容量 $CP_4 \sim CP_7$ のマイナス電極にも基準入力電圧 $-V_{ref}$ が加わっている。

【0078】一方、演算増幅器41の負入力端子Aに現れる基準入力電圧 $-V_{ref}$ は、下位4ビットに相当する容量 $CP_0 \sim CP_3$ の並列合成容量と、分圧用容量 CP_9 とで分圧され、その電位 V_1 が下位4ビットに相当する容量 $CP_0 \sim CP_3$ のマイナス電極に加わっている。

【0079】この状態で、入力された特定のデジタル信号に応じて、例えば、充電用スイッチ $SWA_0, SWA_1, \dots, SWA_7$ がオン状態となり、また、これと同時に充電用スイッチ SWA_8, SWA_9 がオン状態となり、放電用スイッチ $SWB_0, SWB_1, \dots, SWB_8$ がすべてオフ状態になったとする。この時、負帰還用容量 CP_8 の両端には、共に $-V_{ref}$ の電位が加わる。

【0080】一方、上位4ビットに相当する容量 $CP_4 \sim CP_7$ のプラス電極には、充電用スイッチ SWA_4, \dots, SWA_7 を介して、基準入力電圧 $+V_{ref}$ が印加される。その結果、容量 $CP_4 \sim CP_7$ が充電される。これが、入力されたデジタル信号に応じて、サンプリングをした状態である。

【0081】次に、充電用スイッチ $SWA_0, SWA_1, \dots, SWA_9$ がオフ状態となり、放電用スイッチ SWB_4, \dots, SWB_8 がオン状態となると、容量 $CP_4 \sim CP_7$ に蓄積された電荷が負帰還用容量 CP_8 に移動する。この電荷の移動により発生した電圧が、放電用スイッチ SWB_8

$$\begin{aligned} K &= C \times (V_{CP0} - V_1) + 2 \times C \times (V_{CP1} - V_1) + 4 \times C \times (V_{CP2} - V_1) \\ &+ 8 \times C \times (V_{CP3} - V_1) + C \times (V_2 - V_1) \\ K/C &= V_{CP0} + 2 \times V_{CP1} + 4 \times V_{CP2} + 8 \times V_{CP3} - 16 \times V_1 + V_2 \quad (26) \end{aligned}$$

となる。

【0086】まず最初に、放電用スイッチ $SWB_0, SWB_1, \dots, SWB_8$ をオフ状態に設定した後、充電用スイッチ $SWA_0, SWA_1, \dots, SWA_9$ をオン状態に設定する。これにより、 $V_{CP0} \sim V_{CP7}$ は $+V_{ref}$ となる。また、この時、充電用スイッチ SWA_8 は、オン状態であり、演算増幅器41の出力Y(出力 V_{out})は SWA_8 を介して、演算増幅器41の負入力端子Aに負帰還されて 40 いるため、電位 V_2 は、演算増幅器41の正入力端子B※

$$\begin{aligned} K/C &= (+V_{ref}) + 2 \times (+V_{ref}) + 4 \times (+V_{ref}) + 8 \times (+V_{ref}) \\ &- 16 \times V_1 + (-V_{ref}) - V_{out} \\ V_1 &= (15 \times (+V_{ref}) + (-V_{ref}) - V_{out} - K/C) / 16 \quad (28) \end{aligned}$$

また、この時、充電用スイッチ SWA_9 がオン状態に設定されるため、負帰還容量 CP_8 のプラス側電極は、基準入力電位(電源) $-V_{ref}$ に接続されており、負帰還容量 CP_8 には式(29)に示すようにオフセット電圧 V_{off} が印加される。従って、負帰還容量 CP_8 の両端電圧 V_{CP8} は、

※を介して、出力 V_{out} に出力される。その結果、それまで基準入力電圧 $-V_{ref}$ であった出力 V_{out} の電圧が、負帰還容量 CP_8 に蓄積されていた電荷量に応じた電圧にまで変化する。この電圧は、入力されたデジタル信号に応じたものであり、これによってデジタル・アナログ変換が行われたことになる。

【0082】以上は、上位4ビットに相当する容量 $CP_4 \sim CP_7$ が一斉に充電される場合を示したが、それ以外のデジタル信号が入力された場合も同様である。下位4ビットに相当する容量 $CP_0 \sim CP_3$ のいずれかが充電されるようなデジタル信号が入力された場合にも、基準入力電圧 $-V_{ref}$ の代わりに、分圧された電位 V_1 を基準にした充電が行われるだけで、基本的なサンプリングおよび増幅動作は同様である。

【0083】このようにして、図6のデジタル・アナログ変換装置においては、上位4ビットに相当する容量 $CP_4 \sim CP_7$ で $15/16$ の分解能を実現し、下位4ビットに相当する容量 $CP_0 \sim CP_3$ で残りの $1/16$ の分解能を実現している。

【0084】次に、図5のデジタル・アナログ変換装置のデジタル・アナログ変換動作につき、数式を用いてさらに具体的に説明する。

【0085】まず、下位4ビットに相当する容量 CP_0, CP_1, CP_2, CP_3 及び CP_9 のマイナス側電極における電荷は、中和されておらず、K(クーロン)の電荷が存在するものとして電荷の式を求める。ここで、容量 CP_9 のプラス側電極の電位を V_{CP9} とすると、

※と負入力端子Aの間に発生するオフセット電圧 V_{off} に対し、

$$V_2 = (-V_{ref}) - V_{off} \quad (27)$$

となる。

【0087】一方、容量 $CP_0 \sim CP_3$ のマイナス電極側における分圧された電位 V_1 は、式(26)及び式(27)から、以下ようになる。

【0088】

$$V_{CP8} = V_{out} \quad (29)$$

である。

【0089】次に、充電用スイッチ SWA_8 及び SWA_9 をオフ状態にした後、放電用スイッチ SWB_8 をオン状態にすると共に、入力された8ビットのデジタル入力の各ビット情報に基づいて各ビット毎に対応する充電用

21

スイッチSWA₀、SWA₁、…SWA₇及び放電用スイッチSWB₀、SWB₁、…SWB₇のオン・オフ状態を設定する。デジタル入力の最上位ビット(MSB)は、充電用スイッチSWA₇及び放電用スイッチSWB₇に対応し、最下位ビット(LSB)は、充電用スイッチSWA₀及び放電用スイッチSWB₀に対応している。

【0090】例えば、各ビットが"1"のとき、充電用*

$$\begin{aligned} K/C &= ((+V_{ref}) \times Nbit0 + (-V_{ref}) \times bit0) \\ &+ 2 \times ((+V_{ref}) \times Nbit1 + (-V_{ref}) \times bit1) \\ &+ 4 \times ((+V_{ref}) \times Nbit2 + (-V_{ref}) \times bit2) \\ &+ 8 \times ((+V_{ref}) \times Nbit3 + (-V_{ref}) \times bit3) \\ &- 16 \times V_1 + (-V_{ref}) - V_{off} \\ K/C &= (+V_{ref}) \times (Nbit0 + 2 \times Nbit1 + 4 \times Nbit2 + 8 \times Nbit3) \\ &+ (-V_{ref}) \times (bit0 + 2 \times bit1 + 4 \times bit2 + 8 \times bit3) \\ &- 16 \times V_1 + (-V_{ref}) - V_{off} \\ V_1 &= ((+V_{ref}) \times (Nbit0 + 2 \times Nbit1 + 4 \times Nbit2 + 8 \times Nbit3) \\ &+ (-V_{ref}) \times (bit0 + 2 \times bit1 + 4 \times bit2 + 8 \times bit3) \\ &+ (-V_{ref}) - V_{off} - K/C) / 16 \end{aligned} \quad (30)$$

となる。

【0091】演算増幅器41には、負帰還がかかっているため、負入力端子Aと正入力端子Bの間には、式(31)に示すオフセット電圧に相当する電位差が生じている。

【0092】

$V_{off} = (\text{演算増幅器41の正入力端子Bの電位}) - (\text{演算増幅器41の負入力端子Aの電位})$

(31)

従って、電位V₂は、式(27)と同様に、

$$\Delta Q_{CPS} = 2^{n-4} \times C \times ((+V_{ref}) - (-V_{ref})) \times bitn \quad (n=4 \sim 7) \quad (33)$$

となる。式(33)が上位4ビットを示す式である。

【0094】分圧用容量C_{P9}より移動する電荷量ΔQ☆

$$\begin{aligned} \Delta Q_{CPS} &= -(C/16) \times ((-V_{ref}) \times (1 \cdot bit0 + 2 \cdot bit1 + 4 \cdot bit2 + 8 \cdot bit3) \\ &+ (+V_{ref}) \times (1 \cdot Nbit0 + 2 \cdot Nbit1 + 4 \cdot Nbit2 + 8 \cdot Nbit3 - 15)) \end{aligned} \quad (34)$$

となる。式(34)が下位4ビットを示す式である。

【0095】いま、デジタル入力信号の全てのビットが"0"のとき、式(33)及び式(34)より、負帰還用容量C_{P8}へ移動する電荷量ΔQ_{CPS}は、

$$\Delta Q_{CPS} = 0 \quad (35)$$

となる。従って、式(29)及び式(32)より、演算増幅器41からの出力V_{out}は、

$$V_{out} = (-V_{ref}) \quad (36) \quad \star$$

$$\begin{aligned} V_{out} &= -((-V_{ref}) \times (0 + 2 \times 1 + 4 \times 0 + 8 \times 0) \\ &+ (+V_{ref}) \times (1 + 2 \times 0 + 4 \times 1 + 8 \times 1 - 15)) / 256 \\ &+ (((+V_{ref}) - (-V_{ref})) \times 1 \\ &+ 2 \times ((+V_{ref}) - (-V_{ref})) \times 1 \\ &+ 4 \times ((+V_{ref}) - (-V_{ref})) \times 0 \\ &+ 8 \times ((+V_{ref}) - (-V_{ref})) \times 1) / 16 + (-V_{ref}) \\ &= ((+V_{ref}) - (-V_{ref})) \times 178 / 256 + (-V_{ref}) \end{aligned} \quad (37)$$

となる。

22

*スイッチSWA₀をオフ状態に、放電用スイッチSWB₀をオン状態に設定する。各ビットが"0"のとき、充電用スイッチSWA₀をオン状態に、放電用スイッチSWB₀をオフ状態に設定する。この時、電位V₁は8ビットのデジタル入力信号の各ビットをbit0(LSB)からbit7(MSB)、その反転データをNbit0(LSB)からNbit7(MSB)とすると、

$$\star V_2 = (-V_{ref}) - V_{off} \quad (32)$$

となる。

【0093】これにより、容量C_{P0}、C_{P1}、…C_{P7}のプラス電極側にかかる電圧V_{CPS0}～V_{CPS7}に印加される電圧が+V_{ref}から-V_{ref}に変化した時、上位4ビットに相当する容量C_{P4}、C_{P5}、C_{P6}、C_{P7}及び分圧用容量C_{P9}のマイナス側電極にある電荷はC_{P8}のマイナス側電極に移動する。この容量C_{P4}～C_{P7}より移動する電荷量ΔQ_{CPS}は、

☆C_{P9}は、

☆となる。

【0096】例えば、2進数で"10110010"のデジタル入力信号が入力された場合、bit0、Nbit1、bit2、bit3、Nbit4、Nbit5、bit6及びNbit7は、"0"となり、Nbit0、bit1、Nbit2、Nbit3、bit4、bit5、Nbit6及びbit7は、"1"となり、演算増幅器41からの出力V_{out}は、式(33)、(34)より

50 【0097】このようにして、入力されたデジタル信

号に応じた電圧が出力 V_{out} に得られ、デジタル・アナログ変換が行われる。

【0098】以上のように、本実施例によれば、デジタル信号の下位4ビットに対応する容量 $C_{P0} \sim C_{P3}$ のそれぞれに対して直列に接続され、上位4ビットに対応する組の各容量 $C_{P4} \sim C_{P7}$ に対して並列に接続された1個の分圧用容量 C_{P8} を設けたため、下位4ビットに対応する組の容量 $C_{P0} \sim C_{P3}$ に充電された電荷は、分圧用容量 C_{P8} に反映され、この分圧用容量 C_{P8} と上位4ビットに対応する組の容量とによって発生される電圧を演算増幅器41へ入力することにより、入力デジタル信号に比例した出力電圧が得られる。また、本実施例におけるスイッチの数、及び容量値は、図4に示した第4の実施例における出力回路と同様に低減されると共に、基準電源は第4の実施例のように電源 $+V_{ref}$ を設ける必要がなく、2つの基準電圧で動作させることができる。

【0099】以上、説明したように、図5の実施例の出力回路を有する液晶駆動装置は、デジタル信号の最上位 n ビットに対応する組を除く各組の容量のそれぞれに対して、直列に接続され、次の上位 n ビットに対応する組の各容量に対して、並列に接続された $(m-1)$ 個の分圧用容量を備えているため、最上位 n ビットに対応する組以外の組の容量に充電された電荷は、分圧用容量の電荷に反映される。この分圧用容量と最上位 n ビットに対応する組の容量との電荷によって発生される電圧を増幅器へ入力することにより、従来のように多くの基準電圧を設けることなく、デジタル入力信号に対応した出力電圧が得られる。従って、本実施例によれば、液晶駆動装置における配線数、回路数等を低減することができる。

【0100】次に、本発明の液晶駆動装置を構成する第5の実施例における出力回路を図面に基いて説明する。

【0101】図2から図5までに示した容量型DAコンバータの各容量を検査するためには、ビット数の増加に応じて、2のべき乗倍の検査精度が必要になる。このため、特にデジタル信号のビット数が多い場合、検査精度の極めて高い検査装置が必要になる。

【0102】本発明の第5の実施例における出力回路は、このような課題を解決するもので、比較的検査精度の低い検査装置を用いて、入力デジタル信号のすべてのビットに対応する容量の検査が行えるようにした液晶駆動装置を提供するものである。

【0103】図6は、本発明の液晶駆動装置の第5の実施例における出力回路を示す構成図である。図6において、SWTは、分圧用容量 C_{P8} の両端間に接続されたテスト用のスイッチである。上記以外の構成は、図5に示した第4の実施例における出力回路と同様であり、対応する部分には同じ番号が附されている。

【0104】以上のように構成された液晶駆動装置について、以下、その動作を説明する。デジタル・アナログ変換時には、テスト用のスイッチSWTはオフ状態になっており、デジタル・アナログ変換についての動作は、図5に示した第4の実施例における出力回路と同様であり、説明は省略する。

【0105】次に、この液晶駆動装置の検査について説明する。検査は、出力 V_{out} にテスター（図示せず）を接続した状態で、充電用スイッチ $SWA_0, SWA_1, \dots, SWA_7$ 、放電用スイッチ $SWB_0, SWB_1, \dots, SWB_8$ をオン、オフ状態とし、出力 V_{out} の変化を測定することにより行われる。

【0106】図6の液晶駆動装置は、8ビットのデジタル信号をアナログ信号に変換するものであるから、充電用スイッチ $SWA_0, SWA_1, \dots, SWA_7$ 、放電用スイッチ $SWB_0, SWB_1, \dots, SWB_8$ のオン、オフ状態に応じて、基準入力電圧の $1/256$ の精度で、出力電圧の変化を測定する必要がある。すなわち、上位4ビットに相当する容量 $C_{P4} \sim C_{P7}$ については、基準入力電圧の $1/16$ の精度で出力電圧の変化を測定すればよい。たとえば、基準入力電圧が5(V)の場合には、 $5/16$ (V)、すなわち、約300mV程度の精度が必要になる。そして、下位4ビットに相当する容量 $C_{P0} \sim C_{P3}$ については、さらに、その $1/16$ の精度が必要になる。

【0107】アナログテスターのなかには、10mV程度の精度を持つものもあり、そのようなアナログテスターであれば、図2～図5に示したデジタル・アナログ変換装置の検査は十分に行える。ところが、一般にアナログテスターには端子が数本程度しかなく、100本以上の端子を持つデジタル・アナログ変換装置の検査を行うには適さない。しかもアナログテスターは非常に高価でもある。

【0108】一方、デジタルテスターは、200本前後の端子を持つものが一般的であるから、デジタル・アナログ変換装置の検査に適している。ところが、デジタルテスターの精度は、せいぜい50mV程度である。

【0109】従って、300mV程度の精度でよい上位4ビットの容量 $C_{P4} \sim C_{P7}$ については、50mV程度の精度のデジタルテスターで十分測定が可能であるが、さらに、その $1/16$ の精度の要求される下位4ビットの容量 $C_{P0} \sim C_{P3}$ については、50mVの精度しかないデジタルテスターでは測定できない。

【0110】そこで、本実施例においては、下位4ビットの容量 $C_{P0} \sim C_{P3}$ の検査時にテスト用のスイッチSWTをオン状態にし、分圧用容量 C_{P8} の両端を短絡する。

【0111】このようにすれば、下位4ビットの容量 $C_{P0} \sim C_{P3}$ の演算増幅器41に対する接続関係は上位4

25

ビットの容量 $CP_4 \sim CP_7$ の演算増幅器41に対する接続関係と同様になる。従って、下位4ビットの各容量 $CP_0 \sim CP_3$ による出力 V_{out} の変化は、上位4ビットの容量 $CP_4 \sim CP_7$ による出力 V_{out} の変化と同じ300mV程度になる。その結果、50mV程度の精度を持つデジタルテスターで十分測定可能となる。

【0112】このように、図6に示す実施例は、入力デジタル信号の下位の各ビットに相当する複数の第1の容量群と、入力デジタル信号の上位の各ビットに相当する複数の第2の容量群と入力デジタル信号に従って、オン、オフ状態となり、第1、第2の容量群の各容量をそれぞれ充放電制御する複数のスイッチと、第1の容量群の共通ノードと第2の容量群の共通ノードとの間に接続された分圧用容量とでサンプリング回路を構成し、第2の容量群の共通ノードに現れる電荷量に相当する電圧を増幅器で増幅し、アナログ信号として出力するとともに、前記分圧用容量に並列にスイッチを接続したものである。

【0113】このようにすれば、下位ビットに相当する第1の容量群についても、分圧用容量に並列に接続されたスイッチをオン状態とし、分圧用容量の両端を短絡することにより、上位ビットに相当する第2の容量群と全く同様の接続関係にすることができ、このため上位ビットに相当する第2の容量群と同じ検査精度で検査することができる。従って、比較的検査精度の低い検査装置を用いて、すべてのビットに対応する容量の検査を実施することができる。

【0114】次に本発明の液晶駆動装置における出力回路の第6、第7の実施例を説明する。

【0115】前記の容量型DAコンバータの構成では、演算増幅器の動作点が電位 $(+V_{ref})$ または電位 $(-V_{ref})$ のいずれかの電位になり、演算増幅器のダイナミックレンジの端に偏る。このため電源電圧の変動に弱く、電源電圧特性が悪いという問題がある。

【0116】本発明の第6、第7の実施例は、このような問題を解決する液晶駆動装置を提供するものである。この問題を解決するために、第6の実施例は、互いに異なる第1、第2の電位を入力デジタルデータに基づいて結合容量の一端に選択的に印加し、結合容量の他端を演算増幅器の負入力端子に接続するとともに、演算増幅器の正入力端子に第1、第2の電位の中心付近の電位を印加し、一端が演算増幅器の負入力端子に接続された帰還用容量の他端に第1または第2の電位と同じ電位を選択的に印加するようにしたものである。

【0117】また、第7の実施例の液晶駆動装置は、互いに異なる第1、第2の電位および第1、第2の電位の中心付近の電位をもつ第3の電位を入力デジタルデータに基づいて結合容量の一端に選択的に印加し、結合容量の他端を演算増幅器の負入力端子に接続するとともに、演算増幅器の正入力端子に第3の電位と同じ電位を

26

印加し、演算増幅器の負入力端子と出力端子の間に帰還用容量を接続したものである。

【0118】この構成によって演算増幅器の動作点を第1、第2の電位の中間電圧にすることができ、演算増幅器をそのダイナミックレンジのほぼ中央付近で動作させることができる。その結果、電源電圧の変動に強く、電源電圧特性の良い液晶駆動装置が得られる。

【0119】以下、本発明の液晶駆動装置の第6、第7の実施例について、図面を参照しながら説明する。

【0120】図7は本発明の液晶駆動装置の第6の実施例における出力回路を示す構成図である。図7において、SWA、SWBはアナログスイッチである。これらのアナログスイッチSWA、SWBがオン状態の時に、それぞれ電位 V_{in1} 、電位 V_{in2} が結合容量CAの一端に印加される。なお、電位 V_{in2} は電位 V_{in1} より低電位であるものとする。

【0121】結合容量CAの他端は、電位VBの現れるノードを介して演算増幅器41の負入力端子Aに接続されている。演算増幅器41の正入力端子Bは電位VCに接続されている。

【0122】CBは帰還用容量であり、演算増幅器41の負入力端子Aとスイッチを介して出力端子 V_{out} に接続されている。SWFはアナログスイッチであり、演算増幅器41の負入力端子Aと出力端子 V_{out} の間に接続されている。SWEはアナログスイッチであり、帰還用容量CBの一端と出力端子 V_{out} の間に接続されている。SWDはアナログスイッチであり、このアナログスイッチSWDがオン状態の時、電位VDが帰還用容量CBに印加される。

【0123】以上のように構成された本実施例の液晶駆動装置に内蔵されている容量型DAコンバータについて、以下その動作を説明する。ただし、次の式(38)で示すように、電位VDは電位 V_{in1} と同電位とし、電位VCは電位 V_{in1} と電位 V_{in2} の中間電位とした。

$$\text{【0124】電位VD} = \text{電位V}_{in1}, \text{電位VC} = [\text{電位V}_{in1} + \text{電位V}_{in2}] \div 2 \quad (38)$$

容量型DAコンバータの動作は、結合容量CAへの電荷のチャージサイクルと、結合容量CAから帰還用容量CBへ電荷が移動し、その結果として出力端子 V_{out} からアナログ電圧が出力されるディスチャージサイクルに分かれる。

【0125】まず、チャージサイクルでは、アナログスイッチSWA、アナログスイッチSWF、アナログスイッチSWDがオン状態となり、アナログスイッチSWB、アナログスイッチSWEがオフ状態となる。このため、電位VAは電位 V_{in1} と同電位になる。また、演算増幅器41の作用により、電位VBと出力端子 V_{out} の電位は、電位VCと同電位になる。このとき、結合容量CAは両端の電位がそれぞれ電位VAと電位VBになるため、次式の関係となる。

【0126】(容量CAの電位差) = (電位 $V_{1..}$ - 電位VB) (39)

同様に、帰還用容量CBは、両端の電位がそれぞれ電位VBと電位VDになることから、これらは次の式(40)の関係となる。

【0127】

(容量CBの電位差) = (電位VD - 電位VB) = (電位 $V_{1..}$ - 電位VB) (40)

次に、ディスチャージサイクルでは、アナログスイッチSWF、アナログスイッチSWDがオフ状態で、アナログスイッチSWEがオン状態となる。また、入力デジタルデータが、“1”の時、アナログスイッチSWBがオン状態となり、アナログスイッチSWAがオフ状態となる。そのため、電位VAは電位 $V_{1..}$ と同電位になり、結合容量CAの両端の電位差は次の式(41)の通りとなる。

【0128】

(容量CAの電位差) = (電位 $V_{1..}$ - 電位VB) (41)

このため、結合容量CAのマイナス電極側にチャージされていた電荷が帰還用容量CBに移動し、この電荷の移動をキャンセルするように帰還用容量CBの出力端子 V_{out} 側に電荷が移動する。移動する電荷量 ΔQ_{cs} は次の式(42)で表わされる。

【0129】

$\Delta Q_{cs} = [\text{電位}V_{1..} - \text{電位}V_{1..}] \times (\text{容量CAの容量値})$ (42)

電位VBは、演算増幅器41に負帰還がかかっているため変化しない。従って、電荷の移動によって生じる出力端子 V_{out} の電位は次の式(43)の通りとなる。

【0130】

出力端子 $V_{out} = \text{電位}V_{1..} - \text{電位VB} + \text{電位VB} - [\text{電位}V_{1..} - \text{電位}V_{1..}] \times (\text{容量CAの容量値}) \div (\text{容量CBの容量値}) = \text{電位}V_{1..} - [\text{電位}V_{1..} - \text{電位}V_{1..}] \times (\text{容量CAの容量値}) \div (\text{容量CBの容量値})$ (43)

一方、入力デジタルデータが、“0”の時、アナログスイッチSWBがオフ状態となり、アナログスイッチSWAがオン状態となる。このため、結合容量CAでの電荷の移動はなく、出力端子 V_{out} の電位は

出力端子 $V_{out} = \text{電位}V_{1..}$ (44)

という関係になる。

【0131】入力デジタルデータが、“1”の時と、“0”の時の電圧差 V_{1-0} は、 $V_{1-0} = [\text{電位}V_{1..} - \text{電位}V_{1..}] \times (\text{容量CAの容量値}) \div (\text{容量CBの容量値})$

(45)

になる。

【0132】なお、図7の実施例においては、電位VDを電位 $V_{1..}$ と同電位に設定したが、電位 $V_{1..}$ と同電位

に設定してもよい。

【0133】以上のように本発明の第6の実施例は、演算増幅器41の出力端子 V_{out} と帰還用容量CBの間にアナログスイッチSWEを接続するとともに、帰還用容量CBの一端に電位 $V_{1..}$ または電位 $V_{1..}$ と同じ電位を与えるためのアナログスイッチSWFを接続し、演算増幅器41の正入力端子Bに電位 $V_{1..}$ と電位 $V_{1..}$ の中間電位をもつ電位VCを印加したものであるから、演算増幅器41の動作点を電位 $V_{1..}$ と電位 $V_{1..}$ の中間電位、すなわち演算増幅器41のダイナミックレンジの中央付近に位置させることができる。このため、電源電圧の変動に強く、電源電圧特性の良い液晶駆動装置を実現することができる。

【0134】なお、図7においては、アナログスイッチSWA、アナログスイッチSWB、結合容量CAをそれぞれ1組設け、1ビットの入力デジタルデータをアナログ信号に変換する場合について説明したが、アナログスイッチSWA、アナログスイッチSWB、結合容量CAをそれぞれ複数組設け、多ビットのデジタルデータをアナログ信号に変換してもよい。その時、複数の結合容量CA各々の容量値を重みづけしてもよい。

【0135】次に、本発明の液晶駆動装置に用いる出力回路の第7の実施例について、図面を参照しながら説明する。

【0136】図8は本発明の液晶駆動装置の第7の実施例における出力回路を示す構成図である。SWCはアナログスイッチであり、このアナログスイッチSWCがオン状態の時、電位 $V_{1..}$ を結合容量CAに印加する。CBは帰還用容量であり、演算増幅器41の負入力端子Aと出力端子 V_{out} に接続されている。その他の構成は、第6の実施例における出力回路と同様である。

【0137】以上のように構成された本実施例の液晶駆動装置に内蔵されている容量型DAコンバータについて、以下その動作を説明する。ただし、電位VCと電位 $V_{1..}$ は、次の式(46)で示すように、電位 $V_{1..}$ と電位 $V_{1..}$ の中間電位である。

【0138】電位VC = 電位 $V_{1..}$ = $[\text{電位}V_{1..} + \text{電位}V_{1..}] \div 2$ (46)

容量型DAコンバータの動作は、結合容量CAへの電荷のチャージサイクルと、結合容量CAから帰還用容量CBへ電荷が移動し、出力端子 V_{out} から出力されるディスチャージサイクルに分かれる。

【0139】まず、チャージサイクルでは、アナログスイッチSWC、アナログスイッチSWFがオン状態で、アナログスイッチSWA、アナログスイッチSWBがオフ状態である。このため、電位VAは電位 $V_{1..}$ と同電位になる。また、演算増幅器41の作用により、電位VBと出力端子 V_{out} の電位は、電位VCと同電位になる。その結果、結合容量CAの両端の電位差は、次の式(47)の通りとなる。

【0140】(容量CAの電位差) = 電位 V_{100} - 電位VB (47)

次に、ディスチャージサイクルでは、アナログスイッチSWC、アナログスイッチSWFがオフ状態となる。

【0141】この状態で、入力デジタルデータが、“1”の時、アナログスイッチSWAがオフ状態のまま、アナログスイッチSWBがオン状態になる。逆に、入力デジタルデータが、“0”の時、アナログスイッチSWBがオフ状態のまま、アナログスイッチSWAがオン状態になる。このため、電位VAは、入力デジタルデータが、“1”の時、電位 V_{100} と同電位になり、入力デジタルデータが、“0”の時、電位 V_{100} と同電位になる。

【0142】従って、結合容量CAの両端の電位差は、入力デジタルデータが、“1”の時、(容量CAの電位差) = 電位 V_{100} - 電位VB (48) となる。

【0143】入力デジタルデータが、“0”の時、次の式(49)の関係となる。(容量CAの電位差) = 電位 V_{100} - 電位VB (49)

このため、結合容量CAのマイナス電極側にチャージされていた電荷は、帰還用容量CBのマイナス電極側に移動し、この電荷の移動をキャンセルするように帰還用容量CBの出力端子 V_{001} 側に電荷が移動する。移動する電荷量 ΔQ_{01} は入力デジタルデータが、“1”の時、 $\Delta Q_{01} = [\text{電位}V_{100} - \text{電位}V_{100}] \times (\text{容量CAの容量値})$ (50) となる。

【0144】入力デジタルデータが、“0”の時、次の式(51)の関係となる。

$\Delta Q_{01} = [\text{電位}V_{100} - \text{電位}V_{100}] \times (\text{容量CAの容量値})$ (51)

電位VBは、演算増幅器41に負帰還がかかっているため、電位VCと同電位で変化しない。従って、出力端子 V_{001} の電位は、入力デジタルデータが、“1”の時、式(46)から

(出力端子 V_{001} の電位) = 電位VB - $[\text{電位}V_{100} - \text{電位}V_{100}] \times (\text{容量CAの容量値}) \div (\text{容量CBの容量値})$ (52)

となる。

【0145】入力デジタルデータが、“0”の時、次の関係式(53)の通りとなる。

(出力端子 V_{001} の電位) = 電位VB - $[\text{電位}V_{100} - \text{電位}V_{100}] \times (\text{容量CAの容量値}) \div (\text{容量CBの容量値})$ (53)

入力デジタルデータが、“1”の時と、“0”の時の電圧差 V_{1-0} は、

$V_{1-0} = [\text{電位}V_{100} - \text{電位}V_{100}] \times (\text{容量CAの容量値}) \div (\text{容量CBの容量値})$ (54)

になる。

【0146】以上のように本発明の第7の実施例によれば、電位 V_{100} と電位 V_{100} の中心付近の電位 V_{100} を印加するアナログスイッチSWCを設け、さらに電位 V_{100} と電位 V_{100} の中心付近の電位と同じ電位をもつ電位VCを演算増幅器41の正入力端子Bに印加することにより、チャージサイクルでまず中間の電位 V_{100} をサンプリングし、その後、中間電位を起点にして出力アナログ電圧を変動させることができる。このため、電源電圧の変動に強く、電源電圧特性の良い液晶駆動装置を実現することができる。さらに出力アナログ電圧も中心付近の電位から変化するため、アナログスイッチSWFに高電圧がかかりにくく、この点でも安定した動作を行い得る液晶駆動装置が実現できる。

【0147】なお、図8の実施例においても、アナログスイッチSWA、アナログスイッチSWB、アナログスイッチSWC、結合容量CAをそれぞれ複数組設け、多ビットの入力デジタルデータをアナログ信号に変換してもよい。また、その時、複数の結合容量CAを各々重みづけしてもよい。

【0148】以上、述べたように、本発明の液晶駆動装置の第6の実施例は、互いに異なる第1、第2の電位を入力デジタルデータに基づいて結合容量の一端に選択的に印加し、結合容量の他端を演算増幅器の負入力端子に接続するとともに、演算増幅器の正入力端子に第1、第2の電位の中心付近の電位を印加し、一端が演算増幅器の負入力端子に接続された帰還用容量の他端に第1または第2の電位と同じ電位を選択的に印加するようにしたものである。

【0149】また、本発明の液晶駆動装置の第7の実施例は、互いに異なる第1、第2の電位および第1、第2の電位の中心付近の電位をもつ第3の電位を入力デジタルデータに基づいて結合容量の一端に選択的に印加し、結合容量の他端を演算増幅器の負入力端子に接続するとともに、演算増幅器の正入力端子に第3の電位と同じ電位を印加し、演算増幅器の負入力端子と出力端子の間に帰還用容量を接続したものである。

【0150】このようにすれば、演算増幅器の動作点を第1、第2の電位の中間電圧にすることができ、演算増幅器をそのダイナミックレンジのほぼ中央付近で動作させることができる。このため、電源電圧の変動に強く、電源電圧特性の良い液晶駆動装置が実現できる。

【0151】次に、本発明の液晶駆動装置の第8の実施例を説明する。チャージサイクルとディスチャージサイクルを一定周期で繰り返す液晶駆動装置においては、チャージサイクル時に、大容量の負荷を充放電するためチャージサイクルの時間が長くなる。その結果、相対的にディスチャージサイクル時間が短くなると同時に、ディスチャージサイクル時には不要である負荷容量の充放電を行うことにより消費電力が増大する。

31

【0152】本発明の第8の実施例は前記課題を解決するもので、チャージサイクル時間を短くし、消費電力を小さくできる液晶駆動装置を提供することを目的とする。

【0153】すなわち、本実施例は演算増幅器の出力端子と液晶の負荷容量との間に負荷断続用のスイッチを接続し、チャージサイクル時にこのスイッチを開くようにしたものである。

【0154】この構成により、チャージサイクル時は演算増幅器の負荷容量を切り離し、演算増幅器の負荷を軽減することができるため、演算増幅器の動作を高速にすることができるとともに、消費電力を少なくすることができる。なお、ディスチャージサイクル時には、負荷断続用のスイッチを閉じ、演算増幅器の出力端子に負荷を接続することによって、従来通り液晶パネルの液晶容量への充放電を行い、所定の表示をすることができる。

【0155】また、負帰還をかけた演算増幅器は2つの入力端子が仮想的に短絡されているが、帰還回路に接続される負荷容量が大きいため、出力電流の少ない演算増幅器では帰還回路への充電に時間がかかる。

【0156】そこで、本実施例では、演算増幅器の一方の入力端子に印加する基準電源と、他方の入力端子に前記基準電源と等しい電圧を印加するスイッチを備え、チャージサイクル時の一定期間にスイッチを閉じ、ディスチャージサイクル時に開くようにしたものである。

【0157】このように、チャージサイクル時に、帰還回路に基準電源を接続するスイッチを設ければ、出力電流量の大きい基準電源により帰還回路の負荷容量に高速度に充電を行うことができる。

【0158】以下、本発明の液晶駆動装置の第8の実施例について、図9～図12を参照しながら説明する。

【0159】図9は本発明の液晶駆動装置の第8の実施例における出力回路を示す構成図である。図9において、51は演算増幅器、52は演算増幅器51の出力端子と反転入力端子Aの間に接続され、負帰還回路として機能する容量、53はTFT液晶パネル（図1のTFT液晶パネル1に相当する）の液晶容量、配線容量を含んだ負荷容量、54～56は一端が演算増幅器51の反転入力端子Aに接続された複数の容量、57は演算増幅器51の出力端子と反転入力端子A間を短絡するスイッチ、58～60は容量54～56の他端と電源端子との間に接続され、液晶表示用のデジタル入力データに応じて開閉制御されるスイッチ、61～63は容量54～56の他端とグランド間に接続され、液晶表示用のデジタル入力データに応じて開閉されるスイッチである。

【0160】なお、スイッチ57～63は、図では機械的なスイッチの形で示したが、実際にはデジタル入力データによってオン、オフ状態となる電子スイッチである。

【0161】本実施例では、演算増幅器51の出力端子

32

と負荷容量53の間に負荷断続用のスイッチ64が接続されている。このスイッチ64もデジタル入力データによってオン、オフ状態となる電子スイッチである。

【0162】以上のように構成された本実施例の液晶駆動装置について、以下その動作を説明する。

【0163】この液晶駆動装置においても、基本的な動作はチャージサイクルとディスチャージサイクルの2つに分かれる。

【0164】まず、チャージサイクルについて説明する。チャージサイクル時は、スイッチ57を閉じて演算増幅器51の出力端子と反転入力端子Aを短絡する。この時、演算増幅器51はボルテージフォロワ回路となる。

【0165】さらに、チャージサイクル時には、負荷断続用のスイッチ64を開き、負荷容量53を演算増幅器51の出力端子から切り離す。

【0166】この状態で、スイッチ58～60が閉じ、スイッチ61～63が開く。この時の等価回路は、図10のようになる。演算増幅器51の反転入力端子Aは仮想接地されているため、容量54～56には電源電圧が印加されている。

【0167】この時、演算増幅器51の出力端子には負荷容量53が接続されておらず、演算増幅器51の出力端子は仮想接地された反転入力端子Aに直接接続されている。このため、短時間で安定した状態になる。そして安定した状態では、演算増幅器51の出力電圧 V_o はグランド（接地）レベルになっている。

【0168】次に、ディスチャージサイクルを説明する。容量54～56は、図9では3つだけしか示されていないが、実際は入力されるデジタル入力データのビット数分存在し、スイッチ58～63もビット数分存在する。ディスチャージサイクル時、スイッチ58～63は液晶表示用のデジタル入力データに応じて開閉し、各容量54～56に蓄積された電荷をデジタルデータに応じて放電する。

【0169】さらに、ディスチャージサイクル時には、演算増幅器51の出力端子に接続された負荷断続用のスイッチ64が閉じ、演算増幅器51の出力端子に負荷容量63が接続される。

【0170】デジタル入力データが‘0’の時には、図11aのように容量54～56が電源端子に接続されたままとする。このときは演算増幅器51の反転入力端子Aの入力電圧に変化がないため、出力端子の出力電圧 V_o はグランドレベルのままとする。

【0171】一方、デジタルデータが‘1’の時は、図11bのように容量54～56がグランドに接続される。このとき、演算増幅器51の反転入力端子Aの入力電圧がグランドに対して負の方向に変化するため、演算増幅器51の出力電圧は正の方向に変化し、出力端子の出力電圧 V_o が上昇する。そしてこの出力電圧 V_o が負荷

33

断続用のスイッチ64を介して負荷容量（液晶パネルの液晶容量）53に印加され、入力データに対応した表示が行なわれる。

【0172】図12は、図9の実施例において、入力データが「1」の時の充電動作とアナログ信号の出力動作をタイミングチャートに示したものである。図12中に示す t_1 は、図10に示すチャージサイクルが完了するまでの時間、 t_2 はディスチャージサイクルが完了するまでの時間である。

【0173】本実施例の液晶駆動装置では、充電時に演算増幅器51の出力端子から負荷容量53を切り離すため、チャージサイクル時間 t_1 を短縮することができる。

【0174】このように、図9の実施例では、チャージサイクルとディスチャージサイクルを一定周期で繰り返す液晶駆動装置において、チャージサイクル時に演算増幅器の出力端子から負荷を切り離すことによって動作速度を速めることができる。また、チャージサイクル時に負荷容量への充放電を行わないため、消費電力を少なくすることができる。

【0175】次に、本発明の液晶駆動装置の第9の実施例について、図13～図14を参照しながら説明する。

【0176】図13は本発明の液晶駆動装置の第9の実施例における出力回路を示す構成図である。図13において、65は演算増幅器51の非反転入力端子Bに入力する基準電源、66は基準電源65と同電位の基準電源、67は演算増幅器51の反転入力端子Aと基準電源66の間に接続されるスイッチで、このスイッチ67もデジタル信号によってオン、オフ状態となる電子スイッチである。負荷断続用のスイッチ64を除いて、その他の構成は図9に示す実施例における出力回路と同様である。

【0177】以上のように構成された本実施例の液晶駆動装置について、以下その動作を説明する。

【0178】この液晶駆動装置においても、基本的な動作はチャージサイクルとディスチャージサイクルの2つに分かれる。

【0179】まず、チャージサイクルについて説明する。チャージサイクル時は、スイッチ57を閉じて演算増幅器51の出力端子と反転入力端子Aを短絡する。このとき、演算増幅器51はボルテージフォロワ回路となる。さらに、チャージサイクル時には、基準電源用のスイッチ67を閉じる。

【0180】この状態で、スイッチ58～60が閉じ、スイッチ61～63が開く。このときの等価回路は、図14のようになる。演算増幅器51の反転入力端子Aは仮想接地されているため、容量54～56には電源電圧が印加されている。

【0181】演算増幅器51の入力端子には基準電源65と同電位の基準電源66が接続されている。帰還回路

34

の負荷容量には出力電流の大きい、電圧の安定した基準電源が接続されているため、短時間で安定した状態になる。そして安定した状態では、演算増幅器51の出力電圧 V_o はグラウンドレベルになっている。

【0182】次に、ディスチャージサイクルを説明する。容量54～56は、図13では3つだけしか示されていないが、実際は入力されるデジタル入力データのビット数分存在し、スイッチ58～63もビット数分存在する。ディスチャージサイクル時、スイッチ58～63は液晶表示用のデジタル入力データに応じて開閉し、各容量54～56に蓄積された電荷をデジタル入力データに応じて放電する。ディスチャージサイクル時は、基準電源用スイッチ67を開くことで容量54～56に蓄積された電荷は容量52に移動し、デジタル入力データに応じたアナログ電圧が発生する。

【0183】本実施例によっても、図9の実施例と同様、図12のチャージサイクル時間 t_1 を短くすることができる。

【0184】このように、図13の実施例では、チャージサイクル時に演算増幅器の入力端子に基準電源を接続することで帰還回路の負荷容量への充電速度を速めることができる。

【0185】なお、以上説明した各実施例における液晶駆動装置の出力回路は、すべて容量型DAコンバータで構成したが抵抗、電流源、オーバーサンプリングを用いたものを使ってもよい。

【0186】以下それらのDAコンバータを用いた出力回路について説明する。図15は抵抗を用いたDAコンバータの例である。71は演算増幅器、72は基準電圧、73から77はデジタル階調データのビットの重みに応じてオン・オフ状態となるスイッチ群、78から82は基準電圧72を分圧して、階調電圧を発生する抵抗群である。分圧によって発生した複数の階調電圧のうち、デジタル階調データに対応するひとつの階調電圧が、スイッチ群73～77の中のひとつによって選択される。選択された階調電圧はボルテージホロア回路として機能する演算増幅器71を経由して出力される。

【0187】図15の抵抗型DAコンバータは、複数の抵抗で基準電圧を分圧してデジタル階調データの入力ビットに応じた階調電圧を発生し、それらの階調電圧のなかから、デジタル階調データに応じた階調電圧をスイッチによって選択する方式である。

【0188】本実施例では分圧抵抗の抵抗値をすべて等しくしたが、ビットのべき乗に比例した抵抗値の抵抗を用いて抵抗の数を減らしてもよい。

【0189】図16は抵抗を用いたDAコンバータのもうひとつの例である。91は演算増幅器、92は演算増幅器91の帰還抵抗、93は基準電圧、94から97はデジタル階調データのビットの重みに応じてオン・オフ状態となるスイッチ群、98から101は演算増幅器

91の入力抵抗である。

【0190】入力抵抗98~101の抵抗値はすべて等しいものとする、各入力抵抗に流れる入力電流はすべて等しい。スイッチ94~97は階調の数だけ存在する。ディジタル階調データに応じた数のスイッチ94~97が閉じると、演算増幅器91の入力端子には階調に対応した入力電流が流れ込む。電流電圧変換回路として機能する演算増幅器91と帰還抵抗92によって、入力電流に応じた出力電圧が発生する。

【0191】本実施例では入力抵抗の抵抗値をすべて等しくしたが、ビットのべき乗に比例した抵抗値の抵抗を用いて抵抗の数を減らしてもよい。

【0192】図17は定電流源を用いたDAコンバータの例である。111は演算増幅器、112は帰還抵抗、113は基準電圧、114から117はディジタル階調データのビットの重みに応じてオン・オフ状態となるスイッチ群、118から121は定電流源群である。定電流源は階調の数だけ存在する。定電流源群118~121は、スイッチ群114~117によって、そのひとつが選択される。選択された定電流源は電流電圧変換回路である演算増幅器111と帰還抵抗112によって出力される。

【0193】本実施例では定電流源の電流値をすべて等しくしたが、ビットのべき乗に比例した電流値の定電流源を用いて定電流源の数を減らしてもよい。

【0194】図18はオーバーサンプリング方式を用いたDAコンバータの例である。125は積分回路、126は基準電圧、127はスイッチである。本実施例ではディジタル階調データをパラレルに転送せず、シリアルに転送する。シリアルデータの例を図19に示す。図19(a)は一定サイクル t_s のなかで、ディジタル階調データの階調値に比例したパルス列を t_i として転送する例である。また図19(b)は一定サイクル t_s のなかで、ディジタル階調データの階調値に比例したPWM波形を t_i として転送する例である。図19(a)、(b)の転送シリアルデータによって、図18のスイッチ127がオン・オフ状態となると基準電圧126から積分回路125に電荷が移動し、積分回路125にはディジタル階調データに比例した振幅の電圧が発生する。

【0195】なお、図18では基準電圧126を用いたが、図20に示すように、基準定電流源128を用いてもよい。

【0196】

【発明の効果】本発明の液晶駆動装置によれば、DAコンバータを液晶パネルの直前に配置して、階調データをアナログ処理することなくディジタルのまま処理することから、高速アナログ回路および調整回路が省略でき、高品質の表示画質が得られる。

【0197】また、階調データを記憶するデータラッチ手段と、データラッチ手段の出力を液晶パネルに印加す

るアナログ信号に変換する調整不要のDAコンバータを設けることで、アナログ回路を不要にし、増幅器等に必要な調整箇所を削減して量産性を向上させることができる。

【0198】本発明の液晶駆動装置に用いる出力回路によれば、ディジタル信号の各ビット情報に基づいてスイッチ群をオン・オフ状態にし、容量群の充電及び放電を制御することにより、必要な出力電圧を発生することから、多くの基準電圧を設ける必要がない。従って、配線数、回路数等を低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の液晶駆動装置の構成を示すブロック図

【図2】本発明の液晶駆動装置を構成する第1の実施例における出力回路を示す構成図

【図3】本発明の液晶駆動装置を構成する第2の実施例における出力回路を示す構成図

【図4】本発明の液晶駆動装置を構成する第3の実施例における出力回路を示す構成図

【図5】本発明の液晶駆動装置を構成する第4の実施例における出力回路を示す構成図

【図6】本発明の液晶駆動装置を構成する第5の実施例における出力回路を示す構成図

【図7】本発明の液晶駆動装置を構成する第6の実施例における出力回路を示す構成図

【図8】本発明の液晶駆動装置を構成する第7の実施例における出力回路を示す構成図

【図9】本発明の液晶駆動装置を構成する第8の実施例における出力回路を示す構成図

【図10】本発明の第8の実施例における出力回路の充電動作時の等価回路図

【図11】本発明の第8の実施例における出力回路のアナログ信号の出力動作時の等価回路図

【図12】本発明の第8の実施例における出力回路の動作タイミングチャート

【図13】本発明の液晶駆動装置を構成する第9の実施例における出力回路を示す構成図

【図14】本発明の第9の実施例における出力回路の充電動作時の等価回路図

【図15】本発明の液晶駆動装置を構成する第10の実施例における抵抗型DAコンバータを用いた出力回路を示す構成図

【図16】本発明の液晶駆動装置を構成する第11の実施例における抵抗型DAコンバータを用いた出力回路を示す構成図

【図17】本発明の液晶駆動装置を構成する第12の実施例における電流源型DAコンバータを用いた出力回路を示す構成図

【図18】本発明の液晶駆動装置を構成する第13の実施例におけるオーバーサンプリング型DAコンバータを

37

用いた出力回路を示す構成図

【図19】本発明の第13の実施例における出力回路の動作を説明するためのタイミングチャート

【図20】本発明の液晶駆動装置を構成する第14の実施例におけるオーバーサンプリング型DAコンバータを用いた出力回路を示す構成図

【図21】従来の液晶駆動装置の構成を示すブロック図

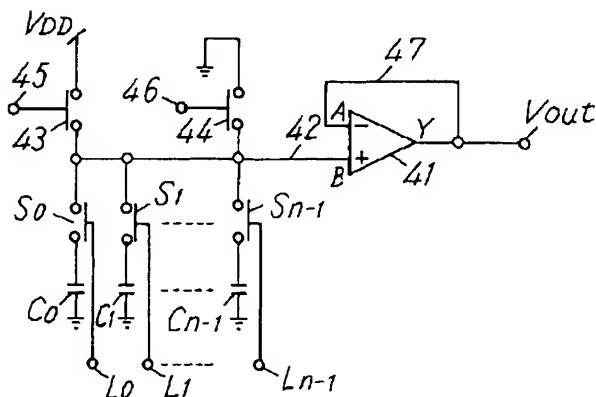
【符号の説明】

- 1 TFT液晶パネル
- 2、30 表示コントローラ
- 3 ゲートドライバ
- 4 ゲートドライバ制御信号
- 5 ビデオRAM
- 6 表示アドレス信号
- 7 RAM
- 8、36 DAコンバータ
- 9、31 反転・非反転回路
- 10 アンプ
- 11 ゲイン・バイアス調整回路
- 12 液晶表示信号
- 13、32 シフトレジスタ
- 14、35 レベルシフタ
- 15 サンプルホールド回路
- 16、37 出力タイミング信号
- 17、38 転送クロック
- 18、39 転送パルス
- 33 デジタル液晶表示データ
- 34 データラッチ
- 41、51、71、91、111 演算増幅器
- 43 充電用スイッチ
- 44 放電用スイッチ

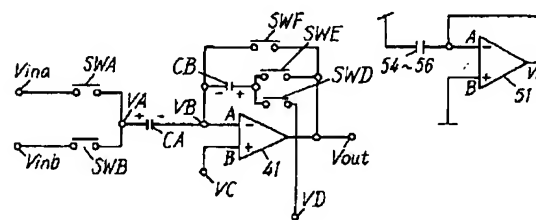
38

- 45 充電用タイミング信号
- 46 放電用タイミング信号
- 47 接続信号
- 52、54～56 容量
- 53 負荷容量
- 57～64、67、127 スイッチ
- 65、66 基準電源
- 72、93、113、126 基準電圧
- 73～77、94～97、114～117 スイッチ群
- 10 78～82 抵抗群
- 92、112 帰還抵抗
- 98～101 入力抵抗
- 118～121 定電流源群
- 125 積分回路
- 128 基準定電流源
- C_0, C_1, \dots, C_{n-1} 容量
- CP_8 負帰還用容量
- CP_9 分圧用容量
- S_0, S_1, \dots, S_{n-1} スイッチ
- 20 L_0, L_1, \dots, L_{n-1} 選択信号
- CP_0, CP_1, \dots, CP_7 容量
- CA 結合容量
- CB 帰還用容量
- SW_0, SW_1, \dots, SW_7 デジタル入力スイッチ
- $SWA_0, SWA_1, \dots, SWA_9$ 充電用スイッチ
- $SWB_0, SWB_1, \dots, SWB_8$ 放電用スイッチ
- SWT テスト用のスイッチ
- SWA, SWB, SWC, SWD, SWE, SWF アナログスイッチ
- 30 $+V_{ref}, -V_{ref}, +V_{ref16}$ 基準入力電源
- V_{out} 出力端子

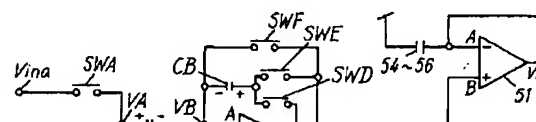
【図2】



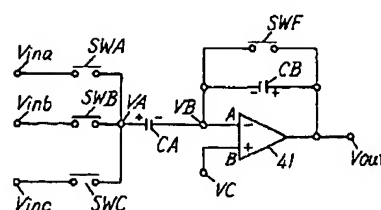
【図7】



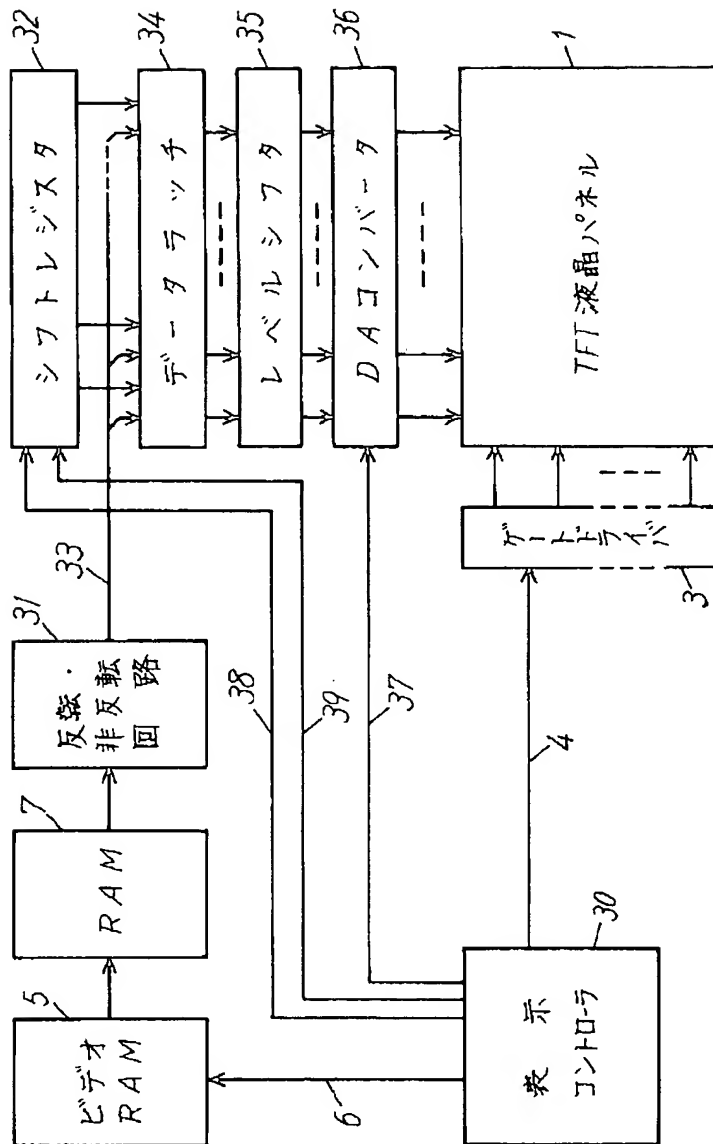
【図10】



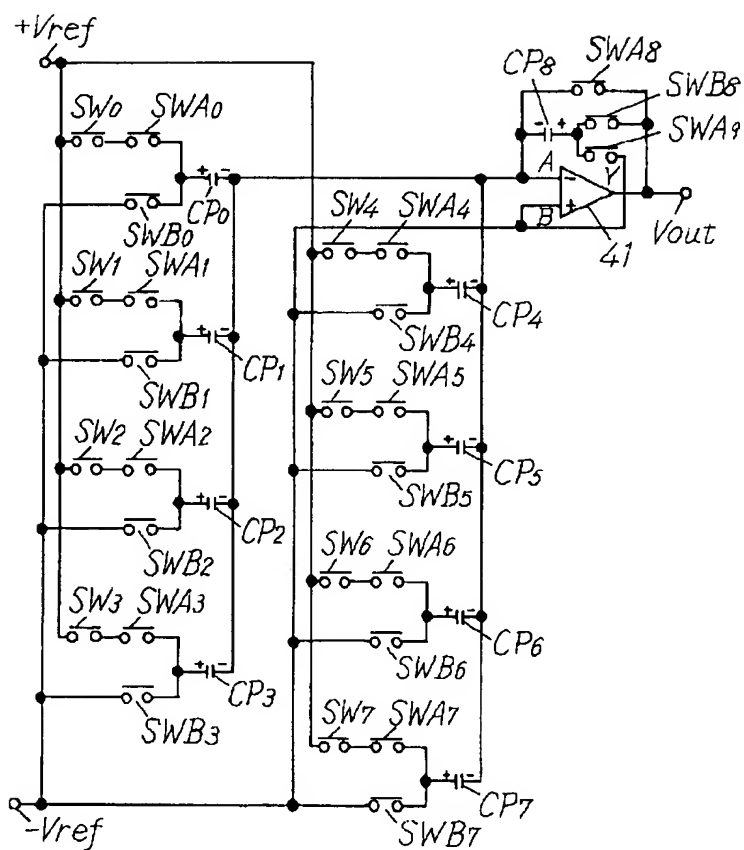
【図8】



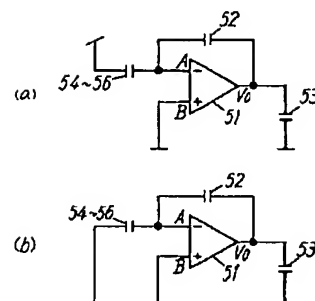
【図1】



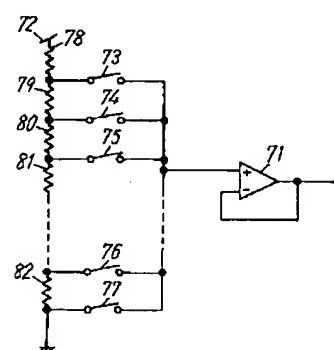
【図3】



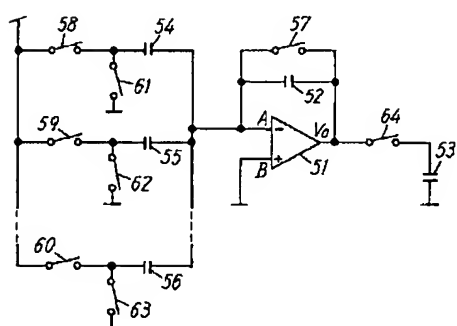
【図11】



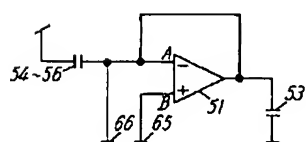
【図15】



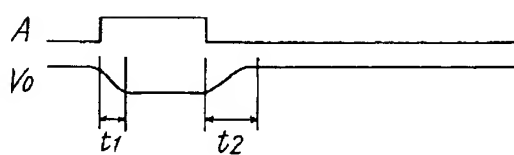
【図9】



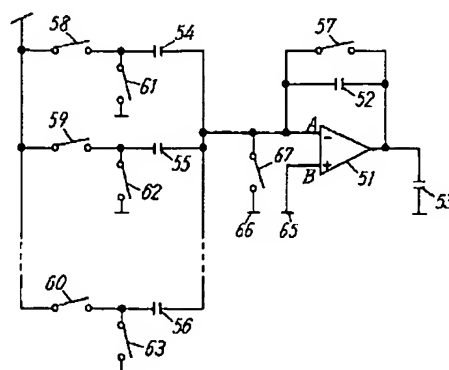
【図14】



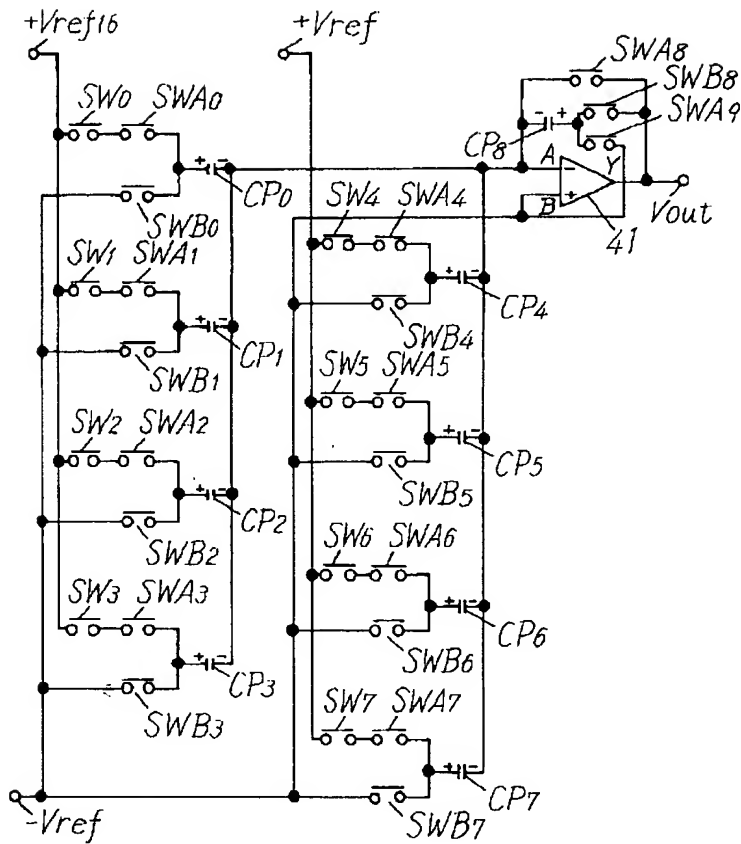
【図12】



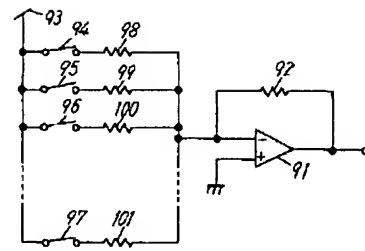
【図13】



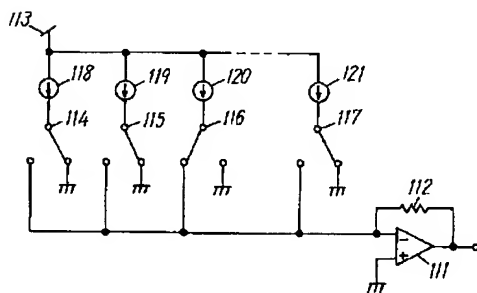
【図4】



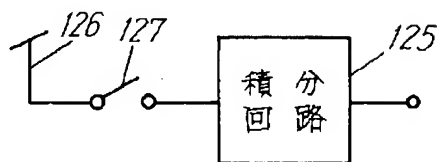
【図16】



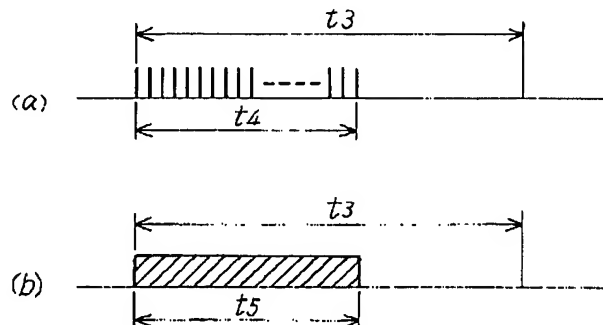
【図17】



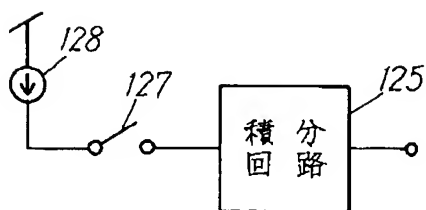
【図18】



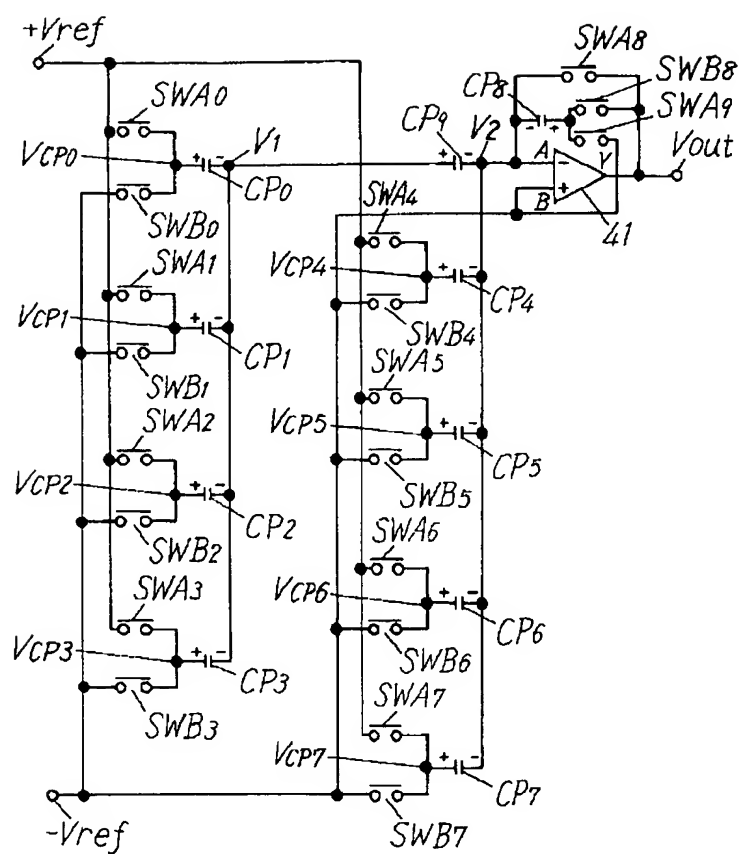
【図19】



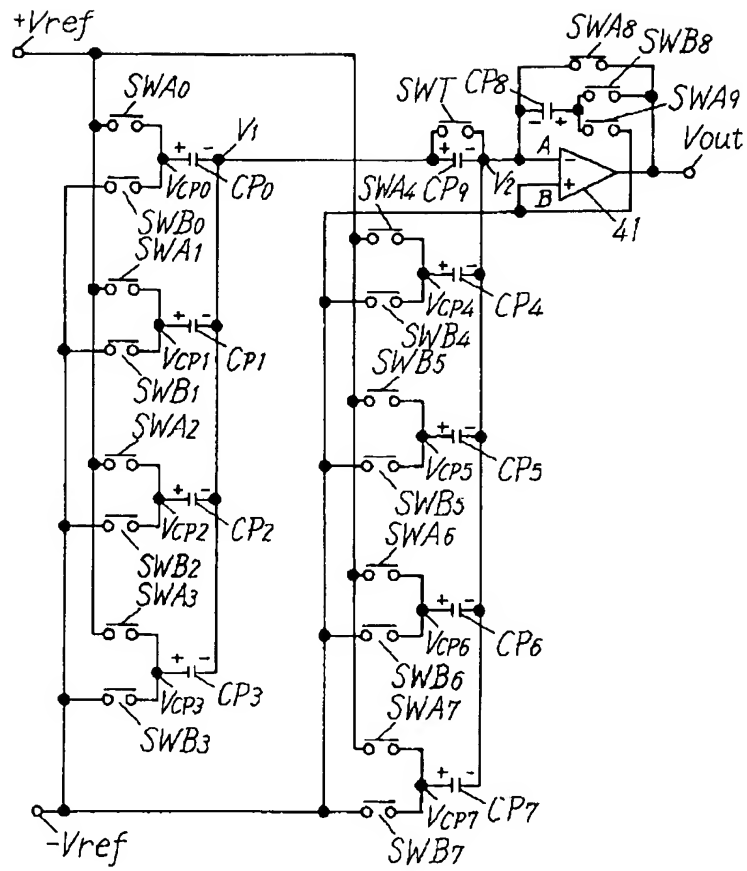
【図20】



【図5】



【図 6】



(31) 優先権主張番号 特願平3-189913
(32) 優先日 平3(1991)7月30日
(33) 優先権主張国 日本(JP)

—492—

(27)

特開平5-94159

(72)発明者 中塚 淳二
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 今村 善雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内